

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-237243

(43) 公開日 平成9年(1997)9月9日

(51) Int.Cl.⁶

G 0 6 F 13/14
13/00

識別記号

3 3 0
3 0 1

庁内整理番号

F I

G 0 6 F 13/14
13/00

3 3 0 B
3 0 1 C

技術表示箇所

審査請求 未請求 請求項の数22 O L (全 34 頁)

(21) 出願番号 特願平8-45961

(22) 出願日 平成8年(1996)3月4日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 下山 雅士

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72) 発明者 小貫 淳史

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

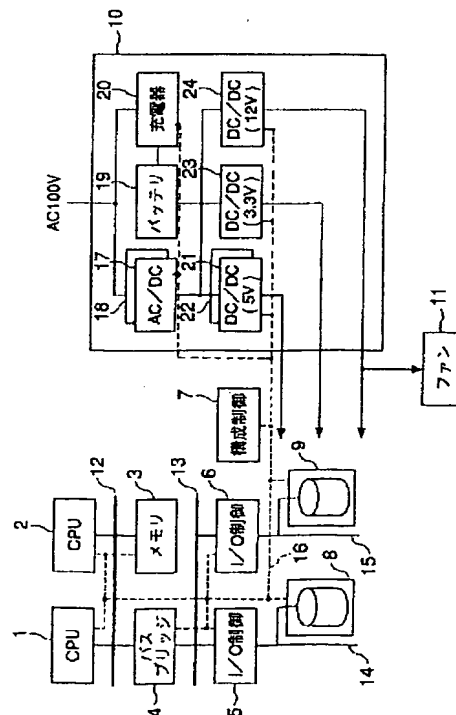
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 情報処理装置の構成制御方式

(57) 【要約】

【課題】 ネットワーク接続されたりリモート端末などから構成制御ボード経由でシステム内の各ボード、各ディスクユニットおよび電源ユニットの実装状態、個別情報をモニタして収集することができる。

【解決手段】 構成制御ボード7が構成制御バス16を経由して各ボード1〜7と各ディスクユニット8、9の実装状態、製造番号などの個別情報をモニタするように、各ボード1〜7と各ディスクユニット8、9に製造番号などの個別情報を格納するための不揮発性メモリ26を実装して構成する。



【特許請求の範囲】

【請求項1】 プロセッサが実装されたCPUボードと、CPUボードが接続されるシステムバスと、システムバスに接続されるメモリボードと、システムバスに接続されるI/Oバスへのブリッジを行うシステムブリッジボードと、I/O制御ボードと、I/O制御ボードが接続されるI/Oバスと、I/O制御ボードに接続されるディスクユニットと、システムの構成を制御する構成制御ボードと、各ボードおよびディスクユニットに電源を供給する電源ユニットと、構成制御ボードと他の構成要素とを結ぶシステムバスとI/Oバスとは異なり、各ボードおよびディスクユニットが接続される構成制御バスとから構成される情報処理装置の構成制御方式において、各ボードおよびディスクユニットに製造番号などの個別情報を格納する不揮発性メモリを備え、構成制御ボードが構成制御バスを経由して各ボードおよびディスクユニットの実装状態、個別情報をモニタするようにしたことを特徴とする情報処理装置の構成制御方式。

【請求項2】 各ボードおよびディスクユニットに環境温度をモニタする環境温度モニタ手段を備え、構成制御ボードが構成制御バスを経由して各ボードおよびディスクユニットの環境温度をモニタするようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項3】 各ボードおよびディスクユニットに供給電圧をモニタする供給電圧モニタ手段を備え、構成制御ボードが構成制御バスを経由して各ボードおよびディスクユニットの供給電圧をモニタするようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項4】 各ボード内のリセット回路を上位と下位の2つのレベルに分け、上位のレベルをシステムレベルで制御し、下位のレベルを構成制御ボードが構成制御バスを経由して個別に制御するようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項5】 各ボードと各ディスクユニット内の電源供給制御を2つのレベルに分け、上位のレベルの供給をシステムレベルで制御し、下位のレベルの供給を構成制御ボードが構成制御バスを経由して個別に制御するようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項6】 各ディスクユニット内に各ディスクユニット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を格納する不揮発性メモリを備え、構成制御ボードが構成制御バスを経由して各ディスクユニットの振動／衝撃の検知結果をモニタするようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項7】 各ディスクユニット内に各ディスクユ

ット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を表示する表示手段を備え、表示手段は、ディスクユニット内の振動および衝撃の少なくともどちらか一方が許容レベルを越えた場合、表示を行うことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項8】 各ディスクユニット内に各ディスクユニット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を格納する不揮発性メモリとそれらに電源を供給するバッテリーを備え、不揮発性メモリは、動作時、待機時と非実装時を問わず振動および衝撃の少なくともどちらか一方の検知とその検知結果を格納し、構成制御ボードが構成制御バスを経由して各ディスクユニットの振動および衝撃の少なくともどちらか一方の検知結果をモニタするようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項9】 各ディスクユニット内に各ディスクユニット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を表示する表示手段とそれらに電源を供給するバッテリーを備え、振動／衝撃検知手段は、動作時、待機時と非実装時に振動および衝撃の少なくともどちらか一方を検知し、表示手段は、ディスクユニット内の振動／衝撃の少なくともどちらか一方が許容レベルを越えた場合に、表示を行うことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項10】 各ディスクユニット内にディスクドライブの排他制御を行う排他制御手段を備え、構成制御ボードが構成制御バスを経由してディスクドライブの排他制御を行うようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項11】 各ディスクユニット内に接続されるバスの終端を行うバス終端手段を備え、構成制御ボードが構成制御バスを経由してバスの終端を行うようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項12】 各ディスクユニット内に接続されるバスの終端を行うバス終端手段を備え、実装位置と他のディスクユニットの実装状態に基づいてバスの終端を行うようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項13】 各ボード内に初期設定を格納する初期設定格納手段を備え、構成制御ボードが構成制御バスを経由して初期設定を行うようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項14】 各ボード上にエラーを検出するエラー検出手段を備え、構成制御ボードが構成制御バスを経由してエラー情報をモニタするようにしたことを特徴とする請求項1に記載の情報処理装置の構成制御方式。

【請求項 15】 各電源ユニットを構成制御バスに接続し、各電源ユニットに製造番号などの個別情報を格納する不揮発性メモリを実装し、構成制御ボードが構成制御バスを経由して各電源ユニットの実装状態、個別情報をモニタするようにしたことを特徴とする請求項 1 に記載の情報処理装置の構成制御方式。

【請求項 16】 各電源ユニット内に環境温度をモニタする環境温度モニタ手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニット内の環境温度をモニタするようにしたことを特徴とする請求項 1 に記載の情報処理装置の構成制御方式。

【請求項 17】 各電源ユニットに出力電圧をモニタする出力電圧モニタ手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの電圧をモニタするようにしたことを特徴とする請求項 1 に記載の情報処理装置の構成制御方式。

【請求項 18】 各電源ユニットに、製造番号などの個別情報を格納する個別情報格納手段と、温度および電圧の少なくともどちらか一方をモニタする温度／電圧モニタ手段と、前記各手段に電源を供給するバッテリーとを備え、構成制御ボードが構成制御バスを経由して各電源ユニットの実装状態、個別情報、温度および電圧の少なくともどちらか一方を当該電源が故障していてもモニタするようにしたことを特徴とする請求項 1 に記載の情報処理装置の構成制御方式。

【請求項 19】 各電源ユニットに出力を制御する出力制御手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの出力を制御するようにしたことを特徴とする請求項 1 に記載の情報処理装置の構成制御方式。

【請求項 20】 各電源ユニットに出力電圧を切り替える出力電圧切り替え手段を備え、電源ユニットの実装位置に応じて定められた電圧を出力するようにしたことを特徴とする請求項 1 に記載の情報処理装置の構成制御方式。

【請求項 21】 各電源ユニットに出力電圧を切り替える出力電圧切り替え手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの出力電圧を切り替えるようにしたことを特徴とする請求項 1 に記載の情報処理装置の構成制御方式。

【請求項 22】 プロセッサが実装された CPU ボードと、CPU ボードが接続されるシステムバスと、システムバスに接続されるメモリボードと、システムバスに接続される I/O バスへのブリッジを行うシステムブリッジボードと、I/O 制御ボードと、I/O 制御ボードが接続される I/O バスと、I/O 制御ボードに接続されるディスクドライブとディスク接続機構から構成されるディスクユニットと、システムの構成を制御する構成制御ボードと、各ボードおよびディスクユニットに電源を供給する電源ユニットと、構成制御ボードと他の構成要

素とを結ぶシステムバスと I/O バスとは別の構成制御バスとから構成される情報処理装置の構成制御方式において、ディスクユニット内のディスクドライブ接続と ID 番号の設定を構成制御ボードが構成制御バスを経由して行うようにしたことを特徴とする情報処理装置の構成制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、情報処理装置の構成制御方式に係り、特に、ネットワーク接続されたリモート端末などからシステム内の各ボード、各ディスクユニットの実装状態、製造番号などの個別情報をモニタして収集することができる情報処理装置の構成制御方式に関するものである。

【0002】

【従来の技術】 従来、実装入出力カードの認識処理方法については、例えば特開平 2 - 1 7 8 8 6 9 号公報で報告されたものが挙げられる。以下、この従来の実装入出力カードの認識処理方法を図面を用いて説明する。図 29 は従来の実装入出力カードの認識処理方法の原理フローを示す図であり、図 30 は図 29 に示す実装入出力カードの認識処理方法を実施するためのシステム構成を示すブロック図であり、図 31 はカードアドレス用ビットスイッチの設定内容を示す図である。図 30 において、1001 はメモリ内蔵型の 32 ビットのマイクロプロセッサであり、1002 は VME バスであり、1003 a、1003 b はそれぞれ I/O カードである。I/O カード 1003 a、1003 b は、VME バス 1002 を介してマイクロプロセッサ 1001 と接続されている。

【0003】 この従来の実装入出力カードの認識処理方法を説明する。システムの電源投入後またはシステムリセット後に、中央処理装置において予め設定されたネスト及びスロット番号によって決まる特定のアドレスに実装されている I/O カードのカード ID を読み込み、前記ネストおよびスロット番号とともに、カード ID 読み込み値テーブルへ格納する。次に、読み込んだカード ID、ネスト番号およびスロット番号からなるカードアドレスから、実装されている I/O カードのデバイスアドレスを決定するとともに、I/O カードにベクタ番号をセットして I/O 構成テーブルを作成する。さらに、リアルタイム OS を開始させて、前記 I/O 構成テーブルを参照して I/O ドライバの初期化処理を行うことにより、実装される I/O カードの実装情報、デバイスアドレス情報およびベクタ番号を自動的に決定する。

【0004】

【発明が解決しようとする課題】 上記した従来の実装入出力カードの認識処理方法では、各カードのカード ID、ネスト番号およびスロット番号を読み込むことによ

ってI/Oカードのデバイスアドレスとベクタ番号を自動的に決定することができるという利点を有するが、製造番号などのカード個別情報を格納する手段が提供されていないために、ネットワーク接続されたリモート端末などからシステム内のカード個別情報を収集することができないという問題があった。特に、CPUが定常動作開始前に各カードの設定およびI/Oドライバの初期化を行う際、システムの定常動作開始前にリモートからのカード個別情報の収集を行うことができなかった。

【0005】そこで、本発明は、システム内の各ボード、各ディスクユニットおよび電源ユニットに製造番号などの個別情報を格納するためのEEPROMなどの不揮発性メモリを実装して構成することにより、CPUと独立で動作する構成制御ボードが構成制御バスを経由して各ボード、各ディスクユニットおよび電源ユニットの実装状態、個別情報をモニタすることができる情報処理装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明に係る情報処理装置の構成制御方式は、プロセッサが実装されたCPUボードと、CPUボードが接続されるシステムバスと、システムバスに接続されるメモリボードと、システムバスに接続されるI/Oバスへのブリッジを行うシステムブリッジボードと、I/O制御ボードと、I/O制御ボードが接続されるI/Oバスと、I/O制御ボードに接続されるディスクユニットと、システムの構成を制御する構成制御ボードと、各ボードおよびディスクユニットに電源を供給する電源ユニットと、構成制御ボードと他の構成要素とを結ぶシステムバスとI/Oバスとは異なり、各ボードおよびディスクユニットが接続される構成制御バスとから構成される情報処理装置の構成制御方式において、各ボードおよびディスクユニットに製造番号などの個別情報を格納する不揮発性メモリを備え、構成制御ボードが構成制御バスを経由して各ボードおよびディスクユニットの実装状態、個別情報をモニタするようにしたことを特徴とするものである。

【0007】上記情報処理装置の構成制御方式においては、各ボードおよびディスクユニットに環境温度をモニタする環境温度モニタ手段を備え、構成制御ボードが構成制御バスを経由して各ボードおよびディスクユニットの環境温度をモニタするようにしたことを特徴とするものである。

【0008】上記情報処理装置の構成制御方式においては、各ボードおよびディスクユニットに供給電圧をモニタする供給電圧モニタ手段を備え、構成制御ボードが構成制御バスを経由して各ボードおよびディスクユニットの供給電圧をモニタするようにしたことを特徴とするものである。

【0009】上記情報処理装置の構成制御方式においては、各ボード内のリセット回路を上位と下位の2つのレ

ベルに分け、上位のレベルをシステムレベルで制御し、下位のレベルを構成制御ボードが構成制御バスを経由して個別に制御するようにしたことを特徴とするものである。

【0010】上記情報処理装置の構成制御方式においては、各ボードと各ディスクユニット内の電源供給制御を2つのレベルに分け、上位のレベルの供給をシステムレベルで制御し、下位のレベルの供給を構成制御ボードが構成制御バスを経由して個別に制御するようにしたことを特徴とするものである。

【0011】上記情報処理装置の構成制御方式においては、各ディスクユニット内に各ディスクユニット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を格納する不揮発性メモリを備え、構成制御ボードが構成制御バスを経由して各ディスクユニットの振動／衝撃の検知結果をモニタするようにしたことを特徴とするものである。

【0012】上記情報処理装置の構成制御方式においては、各ディスクユニット内に各ディスクユニット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を表示する表示手段を備え、表示手段は、ディスクユニット内の振動および衝撃の少なくともどちらか一方が許容レベルを越えた場合、表示を行うことを特徴とするものである。

【0013】上記情報処理装置の構成制御方式においては、各ディスクユニット内に各ディスクユニット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を格納する不揮発性メモリとそれらに電源を供給するバッテリーを備え、不揮発性メモリは、動作時、待機時と非実装時を問わず振動および衝撃の少なくともどちらか一方の検知とその検知結果を格納し、構成制御ボードが構成制御バスを経由して各ディスクユニットの振動および衝撃の少なくともどちらか一方の検知結果をモニタするようにしたことを特徴とするものである。

【0014】上記情報処理装置の構成制御方式においては、各ディスクユニット内に各ディスクユニット内の振動および衝撃の少なくともどちらか一方を検知する振動／衝撃検知手段とその検知結果を表示する表示手段とそれらに電源を供給するバッテリーを備え、振動／衝撃検知手段は、動作時、待機時と非実装時に振動および衝撃の少なくともどちらか一方を検知し、表示手段は、ディスクユニット内の振動／衝撃の少なくともどちらか一方が許容レベルを越えた場合に、表示を行うことを特徴とするものである。

【0015】上記情報処理装置の構成制御方式においては、各ディスクユニット内にディスクドライブの排他制御を行う排他制御手段を備え、構成制御ボードが構成制御バスを経由してディスクドライブの排他制御を行うようにしたことを特徴とするものである。

【0016】上記情報処理装置の構成制御方式においては、各ディスクユニット内に接続されるバスの終端を行うバス終端手段を備え、構成制御ボードが構成制御バスを経由してバスの終端を行うようにしたことを特徴とするものである。

【0017】上記情報処理装置の構成制御方式においては、各ディスクユニット内に接続されるバスの終端を行うバス終端手段を備え、実装位置と他のディスクユニットの実装状態に基づいてバスの終端を行うようにしたことを特徴とするものである。

【0018】上記情報処理装置の構成制御方式においては、各ボード内に初期設定を格納する初期設定格納手段を備え、構成制御ボードが構成制御バスを経由して初期設定を行うようにしたことを特徴とするものである。

【0019】上記情報処理装置の構成制御方式においては、各ボード上にエラーを検出するエラー検出手段を備え、構成制御ボードが構成制御バスを経由してエラー情報をモニタするようにしたことを特徴とするものである。

【0020】上記情報処理装置の構成制御方式においては、各電源ユニットを構成制御バスに接続し、各電源ユニットに製造番号などの個別情報を格納する不揮発性メモリを実装し、構成制御ボードが構成制御バスを経由して各電源ユニットの実装状態、個別情報をモニタするようにしたことを特徴とするものである。

【0021】上記情報処理装置の構成制御方式においては、各電源ユニット内に環境温度をモニタする環境温度モニタ手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニット内の環境温度をモニタするようにしたことを特徴とするものである。

【0022】上記情報処理装置の構成制御方式においては、各電源ユニットに出力電圧をモニタする出力電圧モニタ手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの電圧をモニタするようにしたことを特徴とするものである。

【0023】上記情報処理装置の構成制御方式においては、各電源ユニットに、製造番号などの個別情報を格納する個別情報格納手段と、温度および電圧の少なくともどちらか一方をモニタする温度／電圧モニタ手段と、前記各手段に電源を供給するバッテリーとを備え、構成制御ボードが構成制御バスを経由して各電源ユニットの実装状態、個別情報、温度および電圧の少なくともどちらか一方を当該電源が故障していてもモニタするようにしたことを特徴とするものである。

【0024】上記情報処理装置の構成制御方式においては、各電源ユニットに出力を制御する出力制御手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの出力を制御するようにしたことを特徴とするものである。

【0025】上記情報処理装置の構成制御方式において

は、各電源ユニットに出力電圧を切り替える出力電圧切り替え手段を備え、電源ユニットの実装位置に応じて定められた電圧を出力するようにしたことを特徴とするものである。

【0026】上記情報処理装置の構成制御方式においては、各電源ユニットに出力電圧を切り替える出力電圧切り替え手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの出力電圧を切り替えるようにしたことを特徴とするものである。

10 【0027】上記情報処理装置の構成制御方式においては、プロセッサが実装されたCPUボードと、CPUボードが接続されるシステムバスと、システムバスに接続されるメモリボードと、システムバスに接続されるI/Oバスへのブリッジを行うシステムブリッジボードと、I/O制御ボードと、I/O制御ボードが接続されるI/Oバスと、I/O制御ボードに接続されるディスクドライブとディスク接続機構から構成されるディスクユニットと、システムの構成を制御する構成制御ボードと、各ボードおよびディスクユニットに電源を供給する電源ユニットと、構成制御ボードと他の構成要素とを結ぶシステムバスとI/Oバスとは別の構成制御バスとから構成される情報処理装置の構成制御方式において、ディスクユニット内のディスクドライブ接続とID番号の設定を構成制御ボードが構成制御バスを経由して行うようにしたことを特徴とするものである。

【0028】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

実施の形態1. 図1は本発明に係る実施の形態1の情報処理装置の構成制御方式の構成を示すブロック図である。図1において、1、2はプロセッサが実装されたCPUボード、3はメモリボード、4はI/Oバスへのブリッジを行うバスブリッジボード、5、6はI/O制御ボード、7はシステムの構成を制御する構成制御ボード、8、9はディスクユニット、10は各ボード1~7と各ディスクユニット8、9に電源を供給する電源ユニット、11はファンユニットである。

【0029】12はシステムバスであり、CPUボード1、2、メモリボード3、バスブリッジボード4は、システムバス12を介してデータ転送を行う。13はI/Oバスであり、このI/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。14、15はSCSIバスであり、このSCSIバス14、15には、それぞれディスクユニット8、9が接続されている。ディスクユニット8、9は、それぞれSCSIバス14、15を介してI/O制御ボード5、6に接続されている。

【0030】16は構成制御ボード7と他の構成要素とを結ぶシステムバス12とI/Oバス13とは異なる構成制御バスであり、この構成制御バス16には、CPU

ボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、6、ディスクユニット8、9、構成制御ボード7、電源ユニット10が接続されている。各ボード1〜7と各ディスクユニット8、9に電源を供給する電源ユニット10は、AC/DCユニット17、18、バッテリーユニット19、充電器ユニット20、DC/DC (5V) ユニット21、22、DC/DC (3.3V) ユニット23、DC/DC (12V) ユニット24から構成されている。

【0031】図2は図1に示すボードとディスクユニットの構成を示すブロック図である。図2において、25はスキャンブリッジ、26は不揮発性メモリ、27は温度センサ、28は電圧センサ、29、30はOPアンプ、31、32はA/Dコンバータである。スキャンブリッジ25、不揮発性メモリ26、温度センサ27、電圧センサ28、OPアンプ29、30、A/Dコンバータ31、32は、各ボード1〜7と各ディスクユニット8、9に実装されている。

【0032】温度モニタ回路は、温度センサ27、OPアンプ29、A/Dコンバータ31から構成され、電圧モニタ回路は、電圧センサ28、OPアンプ30、A/Dコンバータ32から構成されている。各ボード1〜7と各ディスクユニット8、9に実装された不揮発性メモリ26には、各ボード1〜7毎、各ディスクユニット8、9毎の製造番号などの個別情報が格納されている。本実施例では、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。

【0033】IEEE Std. 1149.1 (JTAG) 準拠のシリアルバス（以下、JTAGバスと記述する。）からなる構成制御バス16上には、CPUボード1、CPUボード2、メモリボード3、バスブリッジボード4、I/O制御ボード5、I/O制御ボード6、構成制御ボード7、ディスクユニット8、ディスクユニット9が数珠繋ぎに接続され、それぞれJTAGバスからなる構成制御バス16のプロトコルで使われる異なったアドレスを持つ。

【0034】本実施例では、構成制御ボード7からJTAGバスからなる構成制御バス16を経由してCPUボード1にアクセスを行う場合を例にして説明する。JTAGバスからなる構成制御バス16のプロトコルに従ってCPUボード1上のスキャンブリッジ25にアクセスを行い、このスキャンブリッジ25との間でデータ転送することができることによって当該CPUボード1の実装状態（実装有無）を確認することができる。同様に、各ボード1〜7、各ディスクユニット8、9の実装状態も確認することができる。構成制御ボード7は、CPUボード1上のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26、温度モニタ回路と電

圧モニタ回路のいずれかを選択する。

【0035】JTAGバスからなる構成制御バス16のプロトコルに従ってスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26を選択する場合には、不揮発性メモリ26の内容を構成制御ボード7に転送することができる。このEEPROMからなる不揮発性メモリ26には、前もってCPUボード1の組立/試験時に初期データの書き込みが行われ、その後、修理などが行われた場合に追加で書き込みが行われる。このEEPROMからなる不揮発性メモリ26内容のCPUボード1の個別情報は、図3に示すようになる。

【0036】即ち、CPUボード1の組立/試験時に、ボードの種類、製造番号（シリアル番号）、所要電圧、所要電流、ボード組立/試験日のCPUボード1の個別情報がEEPROMからなる不揮発性メモリ26に書き込まれ、CPUボード1の修理時に修理日、修理内容のCPUボード1の個別情報がEEPROMからなる不揮発性メモリ26に書き込まれる。このため、構成制御ボード7からCPUボード1の種類、製造番号（シリアル番号）、所要電圧、所要電流、ボード組立/試験日、修理日、修理内容が含まれたデータを得ることができる。

【0037】同様に、構成制御ボード7から構成制御バス16を経由してCPUボード2にアクセスを行って不揮発性メモリ26を選択し、CPUボード2に実装した不揮発性メモリ26の情報を読み出すことにより、CPUボード2の個別情報を得ることができる。このように、各ボード1〜7と各ディスクユニット8、9の個別情報は、各ボード1〜7と各ディスクユニット8、9に実装した不揮発性メモリ26に格納された情報を読み出すことにより得ることができる。

【0038】これらの各ボード1〜7と各ディスクユニット8、9の個別情報は、ネットワークに接続された端末、構成制御ボード7に接続された端末、構成制御ボード7に接続されたモデム経由で公衆回線に接続された端末からアクセスされ、リモートからシステムに実装されたボードやユニットの種類、ボードやユニットの製造番号などを知るための手段として使うことができる。そして、システムのバージョンアップや増設を行う場合に、その製造番号などから交換を要するボードを前もって知ることができる。

【0039】JTAGバスからなる構成制御バス16のプロトコルに従って構成制御ボード7がスキャンブリッジ25経由で温度モニタ回路を選択する場合には、CPUボード1の温度を検出する温度センサ27からの出力電圧がOPアンプ29を介してA/Dコンバータ31に入力され、このA/Dコンバータ31によって8ビットなどのデジタル値に変換され、構成制御ボード7がそのデジタル値を読み取ることができる。

【0040】同様に、構成制御ボード7から構成制御バス16を経由してCPUボード2にアクセスを行って温

度モニタ回路を選択し、CPUボード2に実装した温度モニタ回路で得られる情報を貰うことにより、CPUボード2の環境温度の情報を得ることができる。各ボード1〜7と各ディスクユニット8、9の環境温度の情報は、各ボード1〜7と各ディスクユニット8、9に実装した温度モニタ回路から得られる情報を貰うことにより得ることができる。

【0041】この温度データもボードの種類などの情報と同様に、ネットワークに接続された端末、構成制御ボード7に接続された端末、構成制御ボード7に接続されたモデム経由で公衆回線に接続された端末からアクセスされ、リモートからシステムに実装されたボードの環境温度を知るために使われる。そして、リモートからのシステム監視の結果の一つとして報告される。

【0042】JTAGバスからなる構成制御バス16のプロトコルに従って構成制御ボード7がスキャンブリッジ25経由で電圧モニタ回路を選択する場合には、CPUボード1に供給される電圧が電圧センサ28とOPアンプ30を介してA/Dコンバータ32に入力され、このA/Dコンバータ32によって8ビットなどのデジタル値に変換され、構成制御ボード7がそのデジタル値を読み取ることができる。

【0043】同様に、構成制御ボード7から構成制御バス16を経由してCPUボード2にアクセスを行って電圧モニタ回路を選択し、CPUボード2に実装した電圧モニタ回路で得られる情報を貰うことにより、CPUボード2の供給電圧の情報を得ることができる。各ボード1〜7と各ディスクユニット8、9の供給電圧の情報は、各ボード1〜7と各ディスクユニット8、9に実装した温度モニタ回路から得られる情報を貰うことにより得ることができる。

【0044】この電圧データもボードの種類などの情報と同様に、ネットワークに接続された端末、構成制御ボード7に接続された端末、構成制御ボード7に接続されたモデムを介して公衆回線に接続された端末からアクセスされ、リモートからシステムに実装されたボードの供給電圧を知るために使われる。そして、リモートからのシステム監視の結果の一つとして報告される。

【0045】次に、図1に示すシステムにおいてCPUボード1をオンライン交換する場合について説明する。まず、JTAGバスからなる構成制御バス16のプロトコルに従って、構成制御ボード7が当該CPUボード1上のスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26を選択し、ボード情報を読み取る。次に、そのCPUボード1の情報を基にシステムから当該CPUボード1を切り離し、コンソールの指示に従ってCPUボード1を抜き出す。

【0046】次に、コンソールの指示に従って、新たなCPUボード1を当該スロットに挿入し、再びJTAGバスからなる構成制御バス16のプロトコルに従って、

構成制御ボード7が当該CPUボード1上のスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26を選択し、ボード情報を読み取る。そして、正しいCPUボード1が挿入されたことを確認した後、システムに再接続する。

【0047】このように、本実施の形態では、各ボード1〜7と各ディスクユニット8、9に製造番号などの個別情報を格納するためのEEPROMからなる不揮発性メモリ26を実装し、構成制御ボード7がJTAGバスからなる構成制御バス16を経由して各ボード1〜7と各ディスクユニット8、9の実装状態、製造番号などの個別情報をモニタするように構成したため、ネットワーク接続されたリモート端末などから構成制御ボード7経由でシステム内の各ボード1〜7と各ディスクユニット8、9の実装状態、個別情報をモニタして収集することができる。

【0048】本実施の形態では、各ボード1〜7と各ディスクユニット8、9に環境温度をモニタする温度モニタ回路を実装し、構成制御ボード7がJTAGバスからなる構成制御バス16を経由して各ボード1〜7と各ディスクユニット8、9の環境温度をモニタするように構成したため、ネットワーク接続されたリモート端末などから構成制御ボード7経由でシステム内の各ボードと各ディスクユニット8、9の環境温度をモニタして収集することができる。

【0049】本実施の形態では、各ボード1〜7と各ディスクユニット8、9に供給電圧をモニタする電圧モニタ回路を実装し、構成制御ボード7がJTAGバスからなる構成制御バス16を経由して各ボード1〜7と各ディスクユニット8、9の供給電圧をモニタするように構成したため、ネットワーク接続されたリモート端末などから構成制御ボード7経由でシステム内の各ボード1〜7と各ディスクユニット8、9の供給電圧をモニタして収集することができる。

【0050】なお、上記実施の形態1では、各ボード1〜7、各ディスクユニット8、9に個別情報を格納するための不揮発性メモリ26を実装し、構成制御ボード7が構成制御バス16を経由して各ボード1〜7、各ディスクユニット8、9の実装状態、個別情報をモニタするように構成する場合を説明したが、本発明においては、更に、電源ユニット10に個別情報を格納するための不揮発性メモリ26を実装し、構成制御ボード7が構成制御バス16を経由して電源ユニット10の実装状態、個別情報をモニタするように構成してもよい。この場合、ネットワーク接続されたリモート端末などから構成制御ボード7経由でシステム内の電源ユニット10の実装状態、個別情報をモニタして収集することができる。

【0051】上記実施の形態1では、各ボード1〜7と各ディスクユニット8、9に環境温度をモニタする温度モニタ回路を実装し、構成制御ボード7がJTAGバス

からなる構成制御バス16を経由して各ボード1~7と各ディスクユニット8, 9の環境温度をモニタするように構成する場合を説明したが、本発明においては、更に、電源ユニット10に環境温度をモニタする温度モニタ回路を実装し、構成制御ボード7が構成制御バス16を経由して電源ユニット10の環境温度をモニタするように構成してもよい。この場合、ネットワーク接続されたリモート端末などから構成制御ボード7経由でシステム内の電源ユニット10の環境温度をモニタして収集することができる。

【0052】上記実施の形態1では、各ボード1~7と各ディスクユニット8, 9に供給電圧をモニタする電圧モニタ回路を実装し、構成制御ボード7がJTAGバスからなる構成制御バス16を経由して各ボード1~7と各ディスクユニット8, 9の供給電圧をモニタするように構成する場合を説明したが、本発明においては、更に、電源ユニット10に供給電圧をモニタする電圧モニタ回路を実装し、構成制御ボード7が構成制御バス16を経由して電源ユニット10の供給電圧をモニタするように構成してもよい。この場合、ネットワーク接続されたリモート端末などから構成制御ボード7経由でシステム内の電源ユニット10の供給電圧をモニタして収集することができる。

【0053】上記実施の形態1では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成する場合を説明したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0054】また、上記実施の形態1は、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみ限定されるものではなく、I²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0055】実施の形態2. 図4は本発明に係る実施の形態2の情報処理装置の構成制御方式の構成を示すブロック図である。図4において、図1と同一符号は同一または相当部分を示し、33はシステムバス12と構成制御バス16に接続されるオンライン増設用のCPUボード、34はシステムバス12と構成制御バス16に接続されるオンライン増設用のメモリボードである。35は電源ユニット10に実装されるオンライン増設用のDC/DC (5V) ユニット、36は電源ユニット10に実装されるオンライン増設用のDC/DC (3.3V) ユニットである。

【0056】図5は図4に示すボードの構成を示すブロック図である。図5において、図2と同一符号は同一または相当部分を示し、37はリセット制御回路である。本実施の形態も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使

用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。

【0057】図4に示すように、各ボード1~7が実装されている状態で、ボードをオンライン増設する場合を例にして説明する。まず、コンソールからの指示に従って、ボードが当該スロットに挿入される。この時、ボード上では、スキャンブリッジ25、EEPROMからなる不揮発性メモリ26、温度モニタ回路、電圧モニタ回路から構成されるJTAG回路とリセット制御回路37のみリセットが解除され、その他の回路(ボード固有回路)はリセット状態が保持されている。即ち、ボード上では、リセット回路が上位と下位の2つのレベルに分かれており、上位のリセットではボード全体がリセットされ、下位のリセットではJTAG回路とリセット制御回路37を除く回路がリセットされ、ボードの挿入された直後に上位リセットのみ解除される。

【0058】次に、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、スキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、当該スロットのボードの個別情報を読み取る。この個別情報から正しいボードが挿入されたかの確認が行われ、誤ったボードが挿入された場合には、コンソールに表示される等の警告がなされる。

【0059】次に、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ボード上のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、EEPROMからなる不揮発性メモリ26から新たに挿入されたボードの所要電力の情報を読み取り、同様にJTAGバスからなる構成制御バス16を経由して現在実装されているボード1~7やディスクユニット8, 9、現在実装されている全ての電源ユニット10の個別情報も入手し、新たに挿入されたボードを含めたシステム全体を駆動するのに必要な電力を供給することができるかどうかの確認が行われる。

【0060】各ボード1~7、ディスクユニット8, 9の所要電力、電源ユニット10の供給電力は、図6に示す値になる。図4に示すシステムにCPUボード33を増設する場合には、+5Vの供給が不足するため、コンソールに表示される等の警告がなされ、+5Vの電源ユニットの増設が要求される。コンソールの指示に従って、DC/DC (5V) ユニット35を挿入し、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、挿入したDC/DC (5V) ユニット35の個別情報を読み取り、正しいユニットが実装されたことを確認した後、当該のCPUボード33上のスキャンブリッジ25経由でCPUボードの下位のリセットの解除を行う。この下位のリセット解除に伴って当該のCPUボード33が動作を開始する。

【0061】また、新たに挿入するボードがメモリボー

ド34の場合には、システム全体の所要電力を電源ユニット10が供給することができるので、JTAGバスからなる構成制御バス16のプロトコルに従って、当該のメモリボード34上のスキャンブリッジ25経由でメモリボード34の下位のリセットの解除を行う。この下位のリセット解除に伴って当該のメモリボード34が動作を開始する。

【0062】このように、本実施の形態では、各ボード1~7内のリセット回路を上位と下位の2つのレベルに分け、上位のレベルをシステムレベルで制御し、下位のレベルを構成制御ボード7がJTAGバスからなる構成制御バス16を経由して制御できるように構成したため、ボードのオンライン増設時にボード個別にリセット制御を行うことができる。このため、誤ったカードを挿入した場合にシステム全体に悪影響を及ぼすことを防ぐことができる。特に、ボードのオンライン増設時に電源供給の可否を確認してからボードの動作を開始することができるため、電源容量不足によるシステム全体のダウンを防ぐことができる。

【0063】なお、上記実施の形態2では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成する場合を説明したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0064】また、上記実施の形態2は、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、I²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0065】実施の形態3。実施の形態2では、各ボード1~7内のリセット回路を上位と下位の2つのレベルに分け、JTAGバスからなる構成制御バス16を経由して各ボード1~7の下位のレベルのリセット制御を個別に行うように構成したが、本実施の形態では、各ボード1~7と各ディスクユニット8、9の電源供給を2つのレベルに分け、電源制御を個別に行うように構成した。以下、本実施の形態を図面を用いて具体的に説明する。図7は本発明に係る実施の形態3の情報処理装置の構成制御方式の構成を示すブロック図である。図7において、図4と同一符号は同一または相当部分を示し、38はSCSIバス14と構成制御バス16に接続されたオンライン増設用のディスクユニットである。

【0066】図8は図7に示すボードとディスクユニットの構成を示すブロック図である。図8において、図2と同一符号は同一または相当部分を示し、39は電源制御回路である。本実施の形態も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEP

ROMを使用した場合を例示して説明する。

【0067】図8に示すように、各ボード1~7や各ディスクユニット8、9が実装されている状態で、新たにボードやディスクユニットをオンライン増設する場合を例にして説明する。まず、コンソールの指示に従って、ボードまたはディスクユニットが当該のスロットに挿入される。挿入が完了すると、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って当該スロットのボードまたはディスクユニット上のスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26を選択し、ボードまたはディスクユニットの個別情報を読み取り、正しいボードまたはディスクユニットが挿入されたかの確認を行い、誤ったボードまたはディスクユニットが挿入された場合には、コンソールに表示する等の警告を行う。なお、挿入直後、ボードやディスクユニットには、スキャンブリッジ25、EEPROMからなる不揮発性メモリ26、温度モニタ回路、電圧モニタ回路から構成されるJTAG回路のみ電源が供給されている。

【0068】次に、構成制御ボード7は、新たに挿入されたボードまたはディスクユニットの所要電力の情報をJTAGバスからなる構成制御バス16のプロトコルに従って、ボードまたはディスクユニット上のスキャンブリッジ25経由でEEPROMからなる構成制御バス16から読み取る。また、同様にして現在実装されている全ての電源ユニットの供給電力の情報も入手する。

【0069】そして、構成制御ボード7は、現在実装されている全てのボードとディスクユニットの所要電力と現在実装されている全ての電源ユニットの供給可能電力の情報を基に、電源ユニットが新たに挿入されたボードまたはディスクユニットを含めたシステム全体を駆動するのに必要な電力を供給可能かどうかの確認を行う。電力が不足する場合には、コンソールに表示する等の警告を行い、電源ユニットの増設が要求される。

【0070】例えば図7に示すシステムにCPUボード33をオンライン増設する場合には、+5Vの供給が不足するため、コンソールに表示される等の警告がなされ、+5Vの電源ユニットの増設が要求され、コンソールの指示に従ってDC/DC (5V) ユニット35を挿入する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、DC/DC (5V) ユニット35上のスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26を選択し、個別情報を読み取り、正しい電源ユニットが挿入されたことを確認する。

【0071】更に、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、CPUボード33上のスキャンブリッジ25経由で電源制御回路39を選択し、その他の回路への電源供給を開始する。これに伴ってCPUボード33が動作を開始する。

構成制御ボード7は、必要な電源が供給されている場合にはJTAGバスからなる構成制御バス16のプロトコルに従って、ボードまたはディスクユニット上のスキャンブリッジ25を経由して電源制御回路39を選択し、当該スロットのボードまたはディスクユニットのその他の回路への電源供給を開始する。

【0072】例えばメモリボード34をオンライン増設する場合には、システム全体の所要電力を現在実装されている電源ユニットで供給することができるので、JTAGバスからなる構成制御バス16のプロトコルに従って、当該メモリボード34上のスキャンブリッジ25経由でメモリボード34のJTAG回路以外の部分にも電源が供給され、これに伴ってメモリボード34が動作を開始する。

【0073】更に、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ボードまたはディスクユニット上のスキャンブリッジ25経由で電圧モニタ回路を選択する。この電圧モニタ回路の各電圧は、電圧センサ28、OPアンプ30を介してA/Dコンバータ32に入力され、A/Dコンバータ32によって8ビットなどのデジタル値に変換される。構成制御ボード7は、そのデジタル値を読み取り、電源供給が開始されたことをモニタする。

【0074】ボードやディスクユニットのオンライン交換は、次のような手順で行われる。まず、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ボードやディスクユニット上のスキャンブリッジ25を経由して電源制御回路39を選択し、交換対象のボードやディスクユニットのJTAG回路を除く部分の電源供給を停止する。

【0075】次に、構成制御ボード7は、同様にして電圧モニタ回路を選択する。当該のボードやディスクユニットに供給される各電圧は電圧センサ28、OPアンプ30を介してA/Dコンバータ32に入力され、A/Dコンバータ32によって8ビットなどのデジタル値に変換される。構成制御ボード7は、そのデジタル値を読み取り、電源供給が停止されたことをモニタする。

【0076】コンソールの指示に従って、当該のボードやディスクユニットをオンラインで抜き出し、新たにボードまたはディスクユニットを当該スロットに挿入する。挿入が完了すると、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って新たに挿入したボードまたはディスクユニット上のスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26から個別情報を読み、正しいボードまたはディスクユニットが挿入されたかの確認を行い、誤ったボードまたはディスクユニットが挿入された場合には、コンソールに表示される等の警告がなされる。なお、挿入直後、ボードやディスクユニットには、JTAG回路のみ電圧が供給されている。

【0077】次に、新たに挿入されたボードまたはディスクユニットの所要電力の情報をJTAGバスからなる構成制御バス16のプロトコルに従ってボードまたはディスクユニット上のスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26から読み取る。同様に、現在実装されている全てのボードやディスクユニットの所要電力と現在実装されている全ての電源ユニット10の供給電力の情報をEEPROMからなる不揮発性メモリ26から読み取り、読み取った情報を基に、新たに挿入されたボードまたはディスクユニットを含めてシステム全体を駆動するのに必要な電力を全ての電源ユニットで供給できるかどうかの確認を行い、電力が不足する場合には、コンソールに表示する等の警告がなされる。

【0078】必要な電源が供給されている場合には、JTAGバスからなる構成制御バス16のプロトコルに従って当該ボードまたはディスクユニット上のスキャンブリッジ25経由で電源制御回路39を選択し、JTAG回路以外の回路への電源供給を開始する。さらに、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従ってスキャンブリッジ25経由で電圧モニタ回路を選択する。当該ボードまたはディスクユニットに供給される各電圧が電圧センサ28、OPアンプ30を介してA/Dコンバータ32に入力され、A/Dコンバータ32によって8ビットなどのデジタル値に変換される。構成制御ボード7は、そのデジタル値を読み取り、電源供給が開始されたことをモニタする。

【0079】このように、本実施の形態では、各ボードと各ディスクユニット内の電源供給制御を上位と下位の2つのレベルに分け、上位のレベルの供給をシステムレベルで制御し、下位のレベルの供給を構成制御ボード7がJTAGバスからなる構成制御バス16を経由して制御できるように構成したため、ボードのオンライン増設やオンライン交換時にボード個別に電源制御を行うことができる。このため、誤ったカードを挿入した場合にシステム全体に悪影響を防ぐことができる。特に、ボードのオンライン増設や交換時に電源供給の可否を確認してからボードの動作を開始することができるため、電源容量不足によるシステム全体のダウンを防ぐことができる。

【0080】なお、上記実施の形態3では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成する場合を説明したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0081】また、上記実施の形態3は、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、I²C等のシリアル

バスやパラレルバスで構成しても実現することができる。

【0082】実施の形態4. 図9は本発明に係る実施の形態4の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。本実施の形態では、図1の情報処理装置の構成制御方式に適用されることができるので、図1を用いて説明する。図9において、図2と同一符号は同一または相当部分を示し、40は振動や衝撃のレベルを電圧として出力する素子である振動/衝撃センサ、41はその振動/衝撃センサ40から出力される出力電圧のレベルを増幅するOPアンプ、42はOPアンプ41から出力される増幅電圧と許容レベルに対応した電圧と比較する比較器、43はOPアンプ41の出力を8ビットなどのデジタル値に変換するA/Dコンバータ、44はEEPROM書き込み制御回路、45はディスクドライブである。本実施の形態も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。

【0083】本実施の形態では、ディスクユニット8、9に振動や衝撃が加えられると、ディスクユニット8、9内に実装された振動/衝撃センサ40から出力された電圧がOPアンプ41を経て許容レベルに対応した電圧と比較器42によって比較される。振動や衝撃が許容レベルを越えると、そのレベルがA/Dコンバータ43によって8ビットなどのデジタル値に変換され、そのデジタル値がEEPROM書き込み制御回路44によってEEPROMからなる不揮発性メモリ26に書き込まれる。

【0084】構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、当該スロットのディスクユニット8、9のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、振動や衝撃のレベルが許容レベルを越えた場合に書き込まれたデジタル値を読み取り、振動や衝撃のレベルが許容レベルを越えたかどうかを知ることができる。

【0085】このように、本実施の形態では、ディスクユニット8、9内の振動や衝撃のレベルが規定値を越えた場合に、そのレベルをEEPROMからなる不揮発性メモリ26に書き込み、構成制御ボード7がJTAGバスからなる構成制御バス16を経由してそのレベルをモニタするように構成したため、ディスクドライブのデータに損傷を受けた場合の原因が振動や衝撃によるものかを判断することができる。また、この振動や衝撃を受けたことをリモートからモニタすることができる。

【0086】なお、上記実施の形態4では、振動や衝撃のレベルを格納するための不揮発メモリ26としてEEPROMを使用して構成する場合を説明したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ

26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0087】また、上記実施の形態4は、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、I²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0088】実施の形態5. 実施の形態4では、ディスクユニット8、9内の振動や衝撃が許容レベルを越えるとそのレベルをEEPROMからなる不揮発性メモリ26に書き込むように構成したが、本実施の形態では、ディスクユニット8、9内の振動や衝撃が許容レベルを越えるとLEDを点灯するように構成した。以下、本実施の形態を図面を用いて具体的に説明する。図10は本発明に係る実施の形態5の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。本実施の形態では、図1の情報処理装置の構成制御方式に適用させることができるので、図1を用いて説明する。図10において、図9と同一符号は同一または相当部分を示し、46はLED表示回路、47は振動や衝撃が許容レベルを越えたことを示すLEDである。

【0089】本実施の形態では、ディスクユニット8、9に振動や衝撃が加えられると、ディスクユニット8、9内に実装された振動/衝撃センサ40から出力された電圧がOPアンプ41を経て許容レベルに対応した電圧と比較器42によって比較される。振動や衝撃が許容レベルを越えると、LED表示回路46によってLED47が点灯する。

【0090】このように、本実施の形態では、ディスクユニット8、9内の振動や衝撃のレベルが規定値を越えた場合に、LED表示回路46によってLED47を点灯させるように構成したため、ディスクドライブのデータに損傷を受けた場合の原因が振動や衝撃によるものかを判断することができる。

【0091】実施の形態6. 図11は本発明に係る実施の形態6の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。本実施の形態は、図1の情報処理装置の構成制御方式に適用させることができるので、図1を用いて説明する。図11において、図9と同一符号は同一または相当部分を示し、48は許容レベル設定回路、49はディスクドライブ45以外の部分に電源を供給するバッテリーである。本実施の形態も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。

【0092】ディスクユニットがシステムに実装されていない場合は、ディスクユニットに振動や衝撃が加えられると、ディスクユニット内に実装された振動/衝撃センサ40から出力された電圧がOPアンプ41を経て許

容レベルに対応した電圧と比較器42によって比較される。この場合の許容レベルは例えば100Gで、この許容レベルを越えると、そのレベルがA/Dコンバータ43によって8ビットなどのデジタル値に変換され、そのデジタル値がEEPROM書き込み制御回路44によってEEPROMからなる不揮発性メモリ26に書き込まれる。なお、この場合の振動/衝撃センサ40、OPアンプ41、比較器42、EEPROM書き込み制御回路44、EEPROMからなる不揮発性メモリ26は、ディスクユニット内のバッテリー49にて動作する。

【0093】このディスクユニットがオンライン交換または増設に伴ってシステムに挿入されると、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従ってスキャンブリッジ25経由で当該スロットのディスクユニットのEEPROMからなる不揮発性メモリ26を選択し、ディスクユニット種類などの情報を取り込み、ディスクユニットが実装されるまでにディスクユニットに加えられた振動や衝撃のレベルが許容レベルを越えたかどうかを知ることができる。

【0094】ディスクユニットが実装されているが、待機中である場合は、ディスクユニットに振動や衝撃が加えられると、ディスクユニット内に実装された振動/衝撃センサ40から出力された電圧がOPアンプ41を経て許容レベルに対応した電圧と比較器42によって比較される。この場合の許容レベルは例えば70Gで、この許容レベルを越えると、そのレベルがA/Dコンバータ43によって8ビットなどのデジタル値に変換され、そのデジタル値がEEPROM書き込み制御回路44によってEEPROMからなる不揮発性メモリ26に書き込まれる。なお、この場合の振動/衝撃センサ40、OPアンプ41、比較器42、A/Dコンバータ43、EEPROM書き込み制御回路44、EEPROMからなる不揮発性メモリ26は電源ユニットからの供給にて動作し、バッテリー49は適宜充電される。

【0095】ディスクユニットが動作中である場合は、ディスクユニットに振動や衝撃が加えられると、ディスクユニット内に実装された振動/衝撃センサ40から出力された電圧がOPアンプ41を経て許容レベルに対応した電圧と比較器42によって比較される。この場合の許容レベルは例えば10Gで、この許容レベルを越えると、そのレベルがA/Dコンバータ43によって8ビットなどのデジタル値に変換され、そのデジタル値がEEPROM書き込み制御回路44によってEEPROMからなる不揮発性メモリ26に書き込まれる。なお、この場合の振動/衝撃センサ40、OPアンプ41、比較器42、A/Dコンバータ43、EEPROM書き込み制御回路44、EEPROMからなる不揮発性メモリ26は、電源ユニットからの供給電源にて動作し、バッテリー49は適宜充電される。

【0096】このように、本実施の形態では、ディスク

ユニットの実装状態、動作状態に関わらず、ディスクユニットに対する振動や衝撃のレベルが規定値を越えた場合にそのレベルをEEPROMからなる不揮発性メモリ26に書き込み、構成制御ボード7がJTAGバスからなる構成制御バス16を経由してそのレベルをモニタするように構成したため、動作時、待機時と非実装時を問わず、ディスクドライブのデータに損傷を受けた場合の原因が振動や衝撃によるものかを判断することができる。また、この振動や衝撃を受けたことをリモートからモニタすることができる。

【0097】なお、上記実施の形態6では、振動や衝撃のレベルを格納するための不揮発メモリ26としてEEPROMを使用して構成する場合を説明したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0098】また、上記実施の形態では、構成制御バス16としてIEEEStd. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、I²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0099】実施に形態7。図12は本発明に係る実施の形態7の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。本実施の形態は、図1の情報処理装置の構成制御方式に適用させることができる。図12において、図10、11と同一符号は同一または相当部分を示す。本実施の形態も、構成制御バス16としてIEEEStd. 1149.1 (JTAG) 準拠のシリアルバスを使用した場合を例示して説明する。

【0100】ディスクユニットがシステムに実装されていない場合は、ディスクユニットに振動や衝撃が加えられると、ディスクユニット内に実装された振動/衝撃センサ40から出力された電位がOPアンプ41を経て許容レベルと比較器42によって比較される。この場合の許容レベルは例えば100Gで、この許容レベルを越えると、LED表示回路46によってLED47が点灯する。なお、この場合の振動/衝撃センサ40、OPアンプ41、比較器42、LED表示回路46、LED47は、ディスクユニット内のバッテリー49にて動作する。

【0101】ディスクユニットが実装されているが、待機中である場合は、ディスクユニットに振動や衝撃が加えられると、ディスクユニット内に実装された振動/衝撃センサ40から出力された電位がOPアンプ41を経て許容レベルと比較器42によって比較される。この場合の許容レベルは例えば70Gで、この許容レベルを越えるとLED表示回路46によってLED47が点灯する。なお、この場合の振動/衝撃センサ40、OPアンプ41、比較器42、LED表示回路46、LED47

は、ディスクユニット内のバッテリー49にて動作する。

【0102】ディスクユニットが動作中である場合は、ディスクユニットに振動や衝撃が加えられると、ディスクユニット内に実装された振動／衝撃センサ40から出力された電位がOPアンプ41を経て許容レベルと比較器42によって比較される。この場合の許容レベルは例えば10Gで、この許容レベルを越えるとLED表示回路46によってLED47が点灯する。なお、この場合の振動／衝撃センサ40、OPアンプ41、比較器42、LED表示回路46、LED47はディスクユニッ
10 ト内のバッテリー49にて動作する。

【0103】このように、本実施の形態では、ディスクユニットの実装状態、動作状態に関わらず、ディスクユニットに対する振動や衝撃のレベルが規定値を越えた場合にそのレベルをEEPROMからなる不揮発性メモリ26に書き込み、構成制御ボード7がJTAGバスからなる構成制御バス16を経由してそのレベルをモニタするように構成したため、動作時、待機時と非実装時を問わず、ディスクドライブのデータに損傷を受けた場合の原因が振動や衝撃によるものであることを把握すること
20 ができる。

【0104】なお、上記実施の形態7では、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、I²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0105】実施の形態8. 図13は本発明に係る実施の形態8の情報処理装置の構成制御方式の構成を示すブロック図である。図13において、図1と同一符号は同一または相当部分を示す。実施の形態1では、ディスクユニット8, 9がそれぞれSCSIバス14, 15に接続される場合を示したが、本実施の形態では、SCSIバス14, 15がディスクユニット8, 9の両方に接続されている。構成制御バス16は、実施の形態1と同様、CPUボード1, 2、メモリボード3、バスブリッジボード4、I/O制御ボード5, 6、構成制御ボード7、ディスクユニット8, 9、電源ユニット10が接続されている。
30

【0106】図14は図13に示すディスクユニットの構成を示すブロック図である。図14において、図2, 9と同一符号は同一または相当部分を示し、50は切り替えスイッチ、51はデュアルポート回路、52はビジー回路である。本実施例も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。
40

【0107】I/O制御ボード5が制御するSCSIバス14とI/O制御ボード6が制御するSCSIバス15の両方に接続されたディスクユニット8を、I/O制
50

御ボード5が排他的に使用する場合の動作について説明する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従ってディスクユニット8内のスキャンブリッジ25を経由して切り替えスイッチ50を選択して、SCSIバス15側をデュアルポート回路51からビジー回路52に回路を切り替える。それ以後、I/O制御ボード6からのディスクユニット8へのアクセスは、ビジー終了するようになり、I/O制御ボード5がディスクユニット8を排他的に使用することができる。

【0108】また、I/O制御ボード5がディスクユニット8を排他的に使用中に故障した場合には、構成制御ボード7がJTAGバスからなる構成制御バス16のプロトコルに従ってディスクユニット内のスキャンブリッジ25を経由して切り替えスイッチ50を選択し、SCSIバス15側をデュアルポート回路51に戻す。これによって、I/O制御ボード6からディスクユニット8をアクセスすることができる。

【0109】このように、本実施の形態では、構成制御ボード7がJTAGバスからなる構成制御バス16経由でディスクユニット8, 9の排他制御を行うように構成したため、ディスクユニット8, 9を排他的に使用していたI/O制御ボード5, 6が故障してもディスクの排他使用を中止することができる。このため、ディスクユニット8, 9の排他制御に関するデッドロック状態を避けることができる。

【0110】なお、上記実施の形態8では、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成する場合を説明したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0111】実施の形態9. 図15は本発明に係る実施の形態9の情報処理装置の構成制御方式の構成を示すブロック図である。図15において、図1と同一符号は同一または相当部分を示し、53~56はディスクユニットである。SCSIバス14には、ディスクユニット8, 53, 55が接続され、SCSIバス15には、ディスクユニット9, 54, 56が接続されている。構成制御バス16には、CPUボード1, 2、メモリボード3、バスブリッジボード4、I/O制御ボード5, 6、ディスクユニット8, 9, 53~56、構成制御ボード7と電源ユニット10が接続されている。

【0112】図16は図15に示すディスクユニットの構成を示すブロック図である。図16において、図2, 8, 9と同一符号は同一または相当部分を示し、57はバス終端制御回路、58はバス終端回路である。本実施例も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用した場合を例示して説明する。

【0113】図15に示すようなシステムが構成されている場合に、ディスクユニット54をオンライン増設する場合について説明する。図15に示すシステムのSCSIバス15では、I/O制御ボード6とディスクユニット56でSCSIバスの終端が行われている。このシステムにディスクユニット54を挿入する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット56のスキャンブリッジ25経由でバス終端制御回路57を選択し、バス終端なしの設定を行うことによってバス終端回路58は

10 SCSIバス15の終端を行わない。
【0114】図15に示すシステムが構成されている場合に、ディスクユニット55をオンライン増設する場合について説明する。図15に示すシステムのSCSIバス14では、I/O制御ボード5とディスクユニット53でSCSIバスの終端が行われている。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット55のスキャンブリッジ25経由でバス終端制御回路57を選択し、バス終端ありの設定を行うことによってバス終端回路58がS

20 CSIバス14の終端を行う。
【0115】次に、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット53のスキャンブリッジ25経由でバス終端制御回路57を選択し、バス終端なしの設定を行うことによってバス終端回路58がSCSIバス14の終端を止める。さらに、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット55のスキャンブリッジ経由で電源制御回路39を選択し、JTAG回路以外の回路に電源供給を開始し、これによってディスクユニット55は動作を開始する。

【0116】図15に示すシステムが構成されている場合にディスクユニット53をオンライン増設する場合について説明する。図15に示すシステムのSCSIバス14では、I/O制御ボード5とディスクユニット53でSCSIバス14の終端が行われている。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット8のスキャンブリッジ25経由でバス終端制御回路57を選択し、バス終端ありの設定を行うことによってバス終端回路58がS

40 CSIバス14の終端を行う。
【0117】次に、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット53のスキャンブリッジ25経由でバス終端制御回路57を選択し、バス終端なしの設定を行うことによってバス終端回路58がSCSIバス14の終端を止める。さらに、構成制御ボード7は、同様にして電源制御回路39を選択し、JTAG回路以外の回路への電源供給を止める。この状態でディスクユニット53を

交換する。

【0118】構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット53のスキャンブリッジ25経由でバス終端制御回路57を選択し、バス終端ありの設定を行うことによってバス終端回路58がSCSIバス14の終端を行う。次に、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット8のスキャンブリッジ25経由でバス終端制御回路57を選択し、バス終端なしの設定を行うことによってバス終端回路58がSCSIバス14の終端を止める。さらに、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット53のスキャンブリッジ25経由で電源制御回路39を選択し、JTAG回路以外の回路への電源供給を開始し、これによってディスクユニット53は動作を開始する。

【0119】このように、本実施の形態では、各ディスクユニット8、9内にSCSIバス14、15の終端を行うための手段を備え、JTAGバスからなる構成制御バス16を経由してバスの終端ありとバスの終端なしの設定を行うように構成したため、ディスクのオンライン増設でバスの長さが変わる場合でも最適なバスの終端を行うことができる。

【0120】なお、上記実施の形態9では、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0121】実施の形態10。図17は本発明に係る実施の形態10の情報処理装置の構成制御方式の構成を示すブロック図である。図17において、図15と同一符号は同一または相当部分を示す。システムバス12には、実施の形態9と同様、CPUボード1、2、メモリボード3、バスブリッジボード4が接続され、I/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。SCSIバス14、15には、実施の形態9と同様、ディスクユニット8、9、53～56が接続され、構成制御バス16には、CPUボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、6、ディスクユニット8、9、構成制御ボード7と電源ユニット10が接続されている。

【0122】図18は図17に示すディスクユニットの構成を示すブロック図である。図18において、図16と同一符号は同一または相当部分を示す。図18は、図16の電源制御回路39とバス終端制御回路57を除いた以外は同じ構成である。図19はディスクバックボードの結線を示す図である。ディスクユニット8、53、55は、ディスクバックボード上のコネクタに接続さ

れ、このディスクバックボードは、I/O制御ボード5またはI/O制御ボード6に接続されている。

【0123】図17に示すシステムにおいて、ディスクユニット53をオンライン増設する場合について説明する。スロット1に実装されているディスクユニット8は、バス上の下方のスロット2～スロット7にディスクユニットが実装されているかどうかを示すSTATUS1信号をセンスする。このSTATUS1信号は、スロット2～スロット7のいずれかにディスクユニットが実装された場合に有効となるので、この信号が有意状態でない場合にスロット1に挿入されたディスクユニット8は、バス終端回路58によってSCSIバス14の終端を行い、有意状態の場合には終端を行わない。この場合、スロット2にディスクユニット53が実装されているので、STATUS1信号は有意状態となり、ディスクユニット8内のバス終端回路58はSCSIバス14を終端しない。

【0124】スロット2に実装されているディスクユニット53は、バス上の下方のスロット3～スロット7にディスクユニットが実装されているかどうかを示すSTATUS2信号をセンスする。この場合、スロット3～スロット7には、ディスクユニットが実装されていないので、STATUS2信号は無効状態となり、ディスクユニット53内のバス終端回路58はSCSIバス14を終端する。

【0125】新たに挿入されたディスクユニット55は、バス上の下方のスロット4～スロット7にディスクユニットが実装されているかどうかを示すSTATUS3信号をセンスする。この場合、スロット3～スロット7には、ディスクユニットが実装されていないので、STATUS3信号は無効状態となり、ディスクユニット53内のバス終端回路58は、SCSIバス14を終端するとともに、スロット2に実装されているディスクユニット53内のバス終端回路58は、STATUS2信号が有意状態に変わったので、SCSIバス14の終端を止める。

【0126】次に、図17に示すシステムにおいて、ディスクユニット54をオンライン増設する場合について説明する。スロット1に実装されているディスクユニット9は、バス上の下方のスロット2～スロット7にディスクユニットが実装されているかどうかを示すSTATUS1信号をセンスする。この場合、スロット3にディスクユニット56が実装されているので、STATUS1信号は有意状態となり、ディスクユニット9内のバス終端回路58はSCSIバス15を終端しない。

【0127】スロット3に実装されているディスクユニット56は、バス上の下方のスロット4～スロット7にディスクユニットが実装されているかどうかを示すSTATUS3信号をセンスする。この場合、スロット4～スロット7にはディスクユニットが実装されていないの

で、STATUS3信号は無効状態となり、ディスクユニット56内のバス終端回路58はSCSIバス15を終端する。

【0128】新たに挿入されたディスクユニット54は、バス上の下方のスロット3～スロット7にディスクユニットが実装されているかどうかを示すSTATUS2信号をセンスする。この場合、スロット3にディスクユニット56が実装されているので、STATUS2信号は有意状態となり、ディスクユニット54内のバス終端回路58はSCSIバス15を終端しない。

【0129】また、図17に示すシステムにディスクユニット54とディスクユニット55がオンライン増設された状態において、ディスクユニット53をオンライン交換する場合を例にして説明する。スロット1に実装されているディスクユニット8は、バス上の下方のスロット2～スロット7にディスクユニット53が実装されているかどうかを示すSTATUS1信号をセンスする。この場合、スロット2にディスクユニット53が、スロット3にディスクユニット55が実装されているので、STATUS1信号は有意状態となり、ディスクユニット8内のバス終端回路58はSCSIバス14を終端しない。

【0130】スロット2に実装されているディスクユニット53は、バス上の下方のスロット3～スロット7にディスクユニットが実装されているかどうかを示すSTATUS2信号をセンスする。この場合、スロット3にディスクユニット55が実装されているので、STATUS2信号は有意状態となり、ディスクユニット53内のバス終端回路58はSCSIバス14を終端しない。

【0131】スロット3に実装されているディスクユニット55は、バス上の下方のスロット4～スロット7にディスクユニットが実装されているかどうかを示すSTATUS3信号をセンスする。この場合、スロット4～スロット7には、ディスクユニットが実装されていないので、STATUS3信号は無効状態となり、ディスクユニット55内のバス終端回路58はSCSIバス14を終端する。

【0132】ここで、ディスクユニット53をスロット2から抜き、新たなディスクユニット53を挿入する。このディスクユニット53は、バス上の下方のスロット3～スロット7にディスクユニットが実装されているかどうかを示すSTATUS2信号をセンスする。この場合、スロット3にディスクユニットが実装されているので、STATUS2信号は有意状態となり、ディスクユニット54内のバス終端回路58はSCSIバス15を終端しない。

【0133】このように、本実施の形態では、各ディスクユニット内にバスの終端を行うための回路を備え、各ディスクユニットの実装状態を検知するための信号を設け、バックボード上の配線によって各ディスクユニット

がバスの終端かどうかを判断するように構成したため、ディスクのオンライン増設でバスの長さが変わる場合でも最適なバスの終端を行うことができる。

【0134】実施の形態11. 図20は本発明に係る実施の形態11の情報処理装置の構成制御方式の構成を示すブロック図である。図20において、図1と同一符号は同一または相当部分を示す。システムバス12には、実施の形態1と同様、CPUボード1、2、メモリボード3、バスブリッジボード4が接続され、I/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。SCSIバス14、15には、実施の形態1と同様、それぞれディスクユニット8、9が接続され、構成制御バス16には、CPUボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、6、ディスクユニット8、9と構成制御ボード7が接続されている。

【0135】図21は図20に示すCPUボードの構成を示すブロック図である。図21において、図2、5と同一符号は同一または相当部分を示し、59~62はプロセッサ、63はマルチプロセッサ制御LSI、64はキャッシュメモリ、65はバス制御LSI、66は外部レジスタである。本実施の形態も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。

【0136】図20に示すシステムにおいて、システム全体の電源が投入され、システムの上位レベルのリセットが解除されると、構成制御ボード7は、JTAGバスからなる構成制御バス16の Protokol に従ってスキャンブリッジ25を経由して各ボードのEEPROMからなる不揮発性メモリ26を選択し、ボードの種類を取り込む。例えば、CPUボードでは、この時点でスキャンブリッジ25、温度モニタ回路、電圧モニタ回路から構成されるJTAG回路、リセット制御回路37、マルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタ、外部レジスタ66のみがリセットが解除されている状態である。この状態で、構成制御ボード7は、マルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタと外部レジスタ66の初期値の設定を行う。

【0137】CPUボードにおいて設定できる項目として、プロセッサ59~62の接続/切り離し、優先プロセッサの設定、エラー検出の有効/無効のスイッチ設定、キャッシュ・コンフィギュレーション (WAY数、キャッシュ・メモリ・タイプなど) の設定やエラー内容クリアの有効/無効のスイッチ設定がある。構成制御ボード7は、JTAGバスからなる構成制御バス16の Protokol に従って、CPUボード上のスキャンブリッジ25を経由してマルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタと外部レ

ジスタ66を選択し、初期値を書き込む。

【0138】次に、構成制御ボード7は、同様にしてJTAGバスからなる構成制御バス16経由でCPUボードのリセット制御回路37を選択し、下位レベルのリセットを解除する。これによって、CPUボードは、先に設定した初期値に基づいて動作を開始する。プロセッサ59~62は、リセット解除に伴って動作を開始するが、マルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタと外部レジスタ66に書き込まれた初期値に基づき、あるプロセッサだけがシステム全体の立ち上げを行い、他のプロセッサは待機状態となる。

【0139】次に、図17で示すようなシステムにおいて、オンライン動作中のCPUボード2に障害が発生し、このCPUボード2をオンライン交換する場合について説明する。まず、構成制御ボード7は、JTAGバスからなる構成制御バス16の Protokol に従って、当該ボード上のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、ボードの種類を読み取る。次に、同様にしてCPUボード上のマルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタと外部レジスタ66の設定値を読み取り、さらに同様にしてリセット回路37を選択して下位レベルをリセット状態とする。これによって、CPUボード上のJTAG回路、リセット制御回路37、マルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタ、外部レジスタ66のみがリセットが解除されている状態となる。

【0140】次に、コンソールの指示に従って、当該CPUボード2を抜き出し、新しいボードを挿入する。構成制御ボード7は、この新しいボードに対してJTAGバスからなる構成制御バス16の Protokol に従ってスキャンブリッジ25を経由して当該CPUボード2のEEPROMからなる不揮発性メモリ26を選択し、ボードの種類を取り込み、正しいボードが挿入されたことを確認する。

【0141】次に、同様にしてボード上のマルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタ、外部レジスタ66に、前のCPUボードの設定値を書き込み、さらにリセット回路37を選択し、下位レベルのリセット状態を解除する。これによって当該CPUボードは、マルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタ、外部レジスタ66に書き込まれた初期値に基づいて動作を再開する。

【0142】また、図4に示すシステムにおいて、CPUボード33をオンライン増設する場合について説明する。まず、コンソールの指示に従って、CPUボード33を当該のスロットに挿入する。この時点では当該CPUボード33上のJTAG回路、リセット制御回路3

7、マルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタ、外部レジスタ66のみがリセット解除されている状態である。構成制御ボード7は、挿入が完了すると、JTAGバスからなる構成制御バス16のプロトコルに従って、当該CPUボード62のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、ボードの種類を読み取り、正しいボードが挿入されたことを確認する。

【0143】次に、同様にしてボード上のマルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタ、外部レジスタ66を選択し、初期値を書き込む。さらに、同様にしてリセット制御回路37を選択して下位レベルのリセット状態を解除する。これによって当該CPUボード33は、マルチプロセッサ制御LSI63の内部レジスタ、バス制御LSI65の内部レジスタ、外部レジスタ66に書き込まれた初期値に基づいて動作を開始する。

【0144】このように、本実施の形態11では、ボードのリセット回路を上位と下位の2つのレベルに分け、JTAGバスを経由してボード上の各LSIの内部レジスタや外部レジスタに設定した後、リセットを解除することによってボードの初期設定を行うことができる。

【0145】なお、上記実施の形態11では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0146】また、上記実施の形態11は、構成制御バス16としてIEEEStd. 1149.1(JTAG)準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0147】実施の形態12. 本実施の形態では、図1、20に示す情報処理装置の構成制御方式に適用させることができる。図22は図1、20に示すCPUボードの構成を示すブロック図である。図22において、図21と同一符号は同一または相当部分を示し、67はエラー状態格納レジスタである。システムバス12、マルチプロセッサ制御LSI63とプロセッサ59~62間、マルチプロセッサ制御LSI63とキャッシュメモリ64間、マルチプロセッサ制御LSI63とプロセッサ59~62間、マルチプロセッサ制御LSI63とキャッシュメモリ64間、マルチプロセッサ制御LSI63とプロセッサ59~62間、マルチプロセッサ制御LSI63とキャッシュメモリ64間は、ECCによるエラー訂正/検出を可能とする。本実施の形態も、構成制御バス16としてIEEEStd. 1149.1(JTAG)準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。

【0148】例えばプロセッサ59~62がマルチプロセッサ制御LSI63の制御のもと、キャッシュメモリ64を共有して、メモリボード3やI/O制御ボード

5、6にアクセスを行う場合に、マルチプロセッサ制御LSI63とプロセッサ59~62間、マルチプロセッサ制御LSI63とキャッシュメモリ64間、バス制御LSI65間にてエラーが発生した場合の動作について説明する。

【0149】CPUボード2のマルチプロセッサ制御LSI63とプロセッサ59~62間でデータ転送が行われる際にECC1ビット誤りが発生した場合には、直ちに訂正が行われるとともに、エラー状態格納レジスタ67にそのビットが書き込まれる。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従ってスキャンブリッジ25を経由してエラー状態格納レジスタ67を選択し、エラー状態の情報を読み取ることができる。例えばECC1ビット誤りが発生した場合には、当該のCPUボード2をソフトウェアの制御によってシステムから一旦切り離し、オンライン交換することによってECC2ビット誤りなどによるシステム全体のダウンを未然に防ぐことができる。

【0150】また、CPUボード2のマルチプロセッサ制御LSI63とキャッシュメモリ64間でデータ転送が行われる際にECC1ビット誤りが発生した場合には、直ちに訂正が行われるとともに、エラー状態格納レジスタ67にそのビットが書き込まれる。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従ってスキャンブリッジ25を経由してエラー状態格納レジスタ67を選択し、エラー状態の情報を読み取ることができる。例えばECC1ビット誤りが発生した場合には、当該のCPUボード2をシステムから一旦切り離し、オンライン交換することによってECC2ビット誤りなどによるシステム全体のダウンを未然に防ぐことができる。

【0151】CPUボード2のバス制御LSI65とCPUボード2のバス制御LSI65間でデータ転送が行われる際にECC1ビット誤りが発生した場合には、直ちに訂正が行われるとともに、CPUボード1のエラー状態格納レジスタ67とCPUボード2のエラー状態格納レジスタ67にそのビットが書き込まれる。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従ってCPUボード1とCPUボード2のスキャンブリッジ25を経由してエラー状態格納レジスタ67を選択し、エラー状態の情報を読み取ることができる。直前のデータ転送状態に基づいて障害のあるCPUボードを特定することができる。例えばECC1ビット誤りが発生した場合には、当該のCPUボードをシステムから一旦切り離し、オンライン交換することによってECC2ビット誤りなどによるシステム全体のダウンを未然に防ぐことができる。

【0152】このように、本実施の形態では、ボードのエラー状態をJTAGバスからなる構成制御バス16を経由して読み取るように構成したため、ECC1ビット

誤りなどの軽微な故障を検知することができ、早期に交換することによってシステム全体のダウンを未然に防ぐことができる。

【0153】なお、上記実施の形態12では、構成制御バス16としてIEEEStd. 1149. 1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。システムバス12、マルチプロセッサ制御LSI63とプロセッサ間59〜62間、マルチプロセッサ制御LSI63とキャッシュメモリ64間は、ECCによるエラー訂正/検出を可能としているが、パリティビット付加などによるエラー検出でも同様の効果を奏する。

【0154】実施の形態13. 図23は本発明に係る実施の形態13の情報処理装置の構成制御方式の構成を示すブロック図である。図23において、図7と同一符号は同一または相当部分を示す。システムバス12には、CPUボード1、2、メモリボード3、バスブリッジボード4が接続され、I/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。SCSIバス14、15には、それぞれディスクユニット8、9が接続され、構成制御バス16には、CPUボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、ディスクユニット8、9、電源ユニット10と構成制御ボード7が接続されている。

【0155】図24は図23に示す電源ユニットの構成を示すブロック図である。図24において、図2と同一符号は同一または相当部分を示し、68は出力制御回路、69はAC/DCコンバータまたはDC/DCコンバータ、70は逆流防止用ダイオードである。本実施の形態も、構成制御バス16としてIEEEStd. 1149. 1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用して構成した場合を例示して説明する。

【0156】システムがシャットダウン後の停止中で、コンソールまたはリモートコンソールからのシステムの動作開始要求があった場合を例に説明する。コンソールなどからシステムの動作開始の要求があると、構成制御ボード7がJTAGバスからなる構成制御バス16のプロトコルに従って、実装されている全てのボード、実装されている全てのディスクユニット、実装されている全ての電源ユニット内のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、所要電力と供給電力の情報を読み取り、図6の情報を基に、実装されている電源ユニットがシステム全体の電力を供給できるかを判断する。

【0157】また、供給可能な場合には、構成制御ボード7は、AC/DCユニット17、18、バッテリーユニット19、DC/DCユニット21〜23内のスキャン

ブリッジ25を経由して出力制御回路68を選択し、出力を開始する。また、供給不可能な場合、コンソールなどにその旨を通知し、システムの動作開始を行わない。

【0158】まず、構成制御ボード7は、JTAGバスからなる構成制御バス16を経由してAC/DCユニット17、18の出力をONにし、同様にJTAGバスからなる構成制御バス16を経由して各AC/DCユニット内の突き合わせる前、即ち逆流防止用ダイオード70のアノード側の電圧のモニタを行う。逆流防止用ダイオード70のアノード側の電圧は、OPアンプ30を介してA/Dコンバータ32に入力され、A/Dコンバータ32によって8ビットなどのデジタル値に変換され、構成制御ボード7はそのデジタル値を読み取り、供給が開始されたことをモニタする。

【0159】次に、構成制御ボード7は、JTAGバスからなる構成制御バス16を経由してバッテリーユニット19の出力をONにし、同様にJTAGバスからなる構成制御バス16を経由してDC/DCユニット21〜23内の突き合わせる前、即ち逆流防止用ダイオード70のアノード側の電圧のモニタを行う。さらに、構成制御ボード7は、DC/DCユニット21〜23の出力をONにし、同様にJTAGバスを経由してDC/DCユニット21〜23内の突き合わせる前、即ち逆流防止用ダイオード70のアノード側の電圧のモニタを行う。

【0160】次に、図23に示すシステムにおいて、DC/DC (5V) ユニット35のオンライン増設を行う場合を例に説明する。コンソールの指示に従って、DC/DC (5V) ユニット35を当該のスロットに挿入する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、このDC/DC (5V) ユニット35のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、電源の種類などの情報を読み取り、正しい電源ユニットが挿入されたかを確認する。

【0161】構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、このDC/DC (5V) ユニット35のスキャンブリッジ25を経由して出力制御回路68を選択し、出力を開始する。そして、構成制御ボード7は、同様に電圧モニタ回路を選択し、突き合わせる前、即ち逆流防止用ダイオード70のアノード側の電圧をモニタする。即ち、逆流防止用ダイオード70のアノード側の電圧は、電圧モニタ28とOPアンプ30を介してA/Dコンバータ32に入力され、このA/Dコンバータ32によって8ビットなどのデジタル値に変換される。構成制御ボード7は、このデジタル値を読み取ることによって電圧が出力されていることを確認する。

【0162】このように、本実施の形態では、複数の電源ユニットが出力突き合わせで接続されている場合に、

JTAGバスを経由して各電源ユニットの出力制御を行うことができる。

【0163】なお、上記実施の形態13では、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0164】実施の形態14. 本実施の形態は、図23に示す情報処理装置の構成制御方式に適用させることができるので、図23を用いて説明する。システムバス12には、CPUボード1、2、メモリボード3、バスブリッジボード4が接続され、I/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。SCSIバス14、15には、それぞれディスクユニット8、9が接続され、構成制御バス16には、CPUボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、6、ディスクユニット8、9、電源ユニット10と構成制御ボード7が接続されている。

【0165】本実施の形態は、図24に示す電源ユニットに適用させることができるので、図24を用いて説明する。本実施の形態も、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用して構成した場合を例示して説明する。

【0166】図24に示すシステムが構成されている場合に、複数の電源ユニットが冗長構成かつ出力突き合わせにて接続されているので、何れか1つの電源ユニットが故障しても、突き合わせ後の出力には変化が現れず、即ち各ボードへの供給電圧には変化は現れず、電源ユニットの故障を検知することができない。そこで、このようなシステム構成における電源ユニットの故障検出について説明する。

【0167】構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、各電源ユニット内のスキャンブリッジ25を経由して電圧モニタ回路を選択し、突き合わせ前の電圧、即ち逆流防止用のダイオード70のアノード側電圧のモニタを行う。

【0168】電圧モニタ回路では、逆流防止用ダイオード70のアノード側電圧は、電圧センサ28とOPアンプ30を介してA/Dコンバータ32に入力され、このA/Dコンバータ32によって8ビットなどのデジタル信号に変換される。構成制御ボード7は、この8ビットなどのデジタル値を読み取る。構成制御ボード7は、このモニタによって規定電圧に達していない場合に、当該電源ユニットの故障と判断し、ソフトウェアに通知し、コンソールまたはリモートコンソールに交換要求の表示などを行う。

【0169】また、構成制御ボード7は、JTAGバス

からなる構成制御バス16のプロトコルに従って、各電源ユニット内のスキャンブリッジ25を経由して温度モニタ回路を選択し、各電源ユニットの内部温度のモニタを行う。各電源ユニット内に設置された温度センサ27は温度に対応した電圧を出力し、その電圧はOPアンプ29を介してA/Dコンバータ31に入力され、このA/Dコンバータ31によって8ビットなどのデジタル信号に変換される。

【0170】構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って当該電源ユニット内のスキャンブリッジ25を経由してA/Dコンバータ31を選択し、この8ビットなどのデジタル信号を読み取る。構成制御ボード7は、この温度が規定温度範囲を越えている場合に、当該電源ユニットの故障と判断し、ソフトウェアに通知し、コンソールまたはリモートコンソールに交換要求の表示などを行う。

【0171】このように、本実施の形態では、JTAGバスからなる構成制御バス16を経由して電源ユニット内の出力突き合わせ前の電圧や温度をモニタするように構成したため、電源ユニットの故障を検出することができる。

【0172】なお、上記実施の形態14では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0173】また、上記実施の形態14は、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0174】実施の形態15. 本実施の形態は、図23に示す情報処理装置の構成制御方式に適用させることができるので、図23を用いて説明する。システムバス12には、CPUボード1、2、メモリボード3、バスブリッジボード4が接続され、I/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。SCSIバス14、15には、それぞれディスクユニット8、9が接続され、構成制御バス16には、CPUボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、6、ディスクユニット8、9と構成制御ボード7が接続されている。

【0175】図25は図23に示す電源ユニットおよび電源バックボードの構成を示すブロック図である。図25において、図24と同一符号は同一または相当部分を示し、71は電圧制御回路である。電源シャーシのスロット1~4には、それぞれ異なった電源IDがアサインされており、電源シャーシに挿入された電源ユニット

は、その電源ID番号によって定められた電圧を出力端子に出力する。本実施の形態では、DC/DCユニットがその実装されたスロットにアサインされた電源IDに基づいて、+5V、+3.3Vと+12Vの何れかを出力する。電源IDとしてそれぞれ1、2、3をアサインし、電源ユニットをそれぞれのスロットに挿入すると、+5V、+3.3V、+12Vを出力する。

【0176】次に、図23のシステムにおいて、ボードのオンライン増設に伴って電源の増設が必要になった場合を例にして説明する。図23のシステムにCPUボード33をオンライン増設する場合は、各ボード、ディスクユニットの所要電力、電源ユニットの供給電力が図6に示す値であり、+5Vの供給が不足するため、コンソールに表示される等の警告がなされ、DC/DCユニット(5V)ユニットの増設が要求される。そこで、DC/DCユニットを+5V用のスロットに挿入する。挿入されたDC/DCユニットの電圧制御回路71は、電源IDの値を入力し、DC/DCコンバータ69に対して+5Vの出力を要求し、DC/DCコンバータ69は、逆流防止用ダイオード70を介して+5Vの出力を開始する。

【0177】また、図23のシステムにおいて、オンラインでシステム構成を変更し、所要電力に変化が生じた場合を例にして説明する。各ボード、ディスクユニットの所要電力、電源ユニットの供給電力が図6に示す値であり、システム変更に伴って、現状の電源ユニットの実装状態3.3Vの供給が不足し、5Vの供給が過剰となる。この場合、まず、5V用のスロットに挿入されているDC/DCユニットを抜き出し、3.3V用のスロットに挿入する。挿入されたDC/DCユニットの電圧制御回路71は、電源IDの値を入力し、DC/DCコンバータ69に対して3.3Vの出力を要求し、DC/DCコンバータ69は、逆流防止用ダイオード70を介して3.3Vの出力を開始する。

【0178】このように、本実施の形態では、電源ユニットがその実装位置に応じて定められた電圧を出力するように構成したため、共通の電源ユニットで電源ユニット部を構成することができる。また、オンライン状態で、電源供給を容易に変更することができる。

【0179】実施の形態16. 本実施の形態は、図23に示す情報処理装置の構成制御方式に適用させることができるので、図23に用いて説明する。システムバス12には、CPUボード1、2、メモリボード3、バスブリッジボード4が接続され、I/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。SCSIバス14、15には、それぞれディスクユニット8、9が接続され、構成制御バス16には、CPUボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、ディスクユニット8、9、電源ユニット10と構成制御ボード7が接続されて

いる。

【0180】図26は図23に示す電源ユニットの構成を示すブロック図である。図26において、図24、25と同一符号は同一または相当部分を示し、72は出力電圧選択回路である。本実施の形態も、構成制御バス16としてIEEE Std. 1149.1(JTAG)準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用した場合を例示して説明する。

【0181】図23に示すシステムに、新たにCPUボード33をオンライン増設する場合を例にとって説明する。CPUボード33をオンライン増設する場合、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、実装されている全てのボードと実装されている全てのディスクユニット上のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、所要の電力の情報を読み取り、同様にして実装されている全ての電源ユニットの供給電力の情報を読み取る。

【0182】各ボード、ディスクユニットの所要電力、電源ユニットの供給電力が図6に示す値である場合を想定すると、このシステムにCPUボード33を増設すると、+5Vの供給が不足するため、コンソールに表示される等の警告がなされ、+5Vの電源ユニットの増設が要求され、新たに電源ユニットを適当なスロットに挿入する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、新たに挿入された電源ユニット上のスキャンブリッジ25を経由して電圧制御回路71を選択する。構成制御ボード7は、当該電源ユニットの出力電圧選択を+5Vに設定し、出力制御回路68によってDC/DCコンバータ69は+5Vの出力を開始する。

【0183】図23に示すシステムの+5V動作のメモリボードを+3.3V動作のメモリボードにオンライン交換する場合を例にして説明する。ソフトウェアは当該メモリボードに対応したアドレス空間をシステムから切り離す。構成制御ボード7はJTAGバスのプロトコルに従って、当該メモリボード上のスキャンブリッジ25を経由して電源制御回路39を選択する(図8)。構成制御ボード7は、当該のメモリボードの電源供給を停止し、コンソールの指示に従って当該のメモリボードを抜き出す。

【0184】構成制御ボード7は、同様にして電源ユニット上の電圧制御回路71を選択し、+5Vの出力を停止し、+3.3Vの出力に切り替える。再び、コンソールの指示に従って、+3.3V動作のメモリがメモリボードを当該のスロットに挿入する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、新たに挿入したメモリボード上のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、ボード情報を読み取り、正しいボ

ードが挿入されたことを確認し、正しいメモリボードであれば、同様にして電圧制御回路39を選択して電源供給を開始する。

【0185】このように、本実施の形態では、電源ユニットの出力電圧をJTAGバスからなる構成制御バス16を経由して変更するように構成したため、共通の電源ユニットで電源部を構成することができるとともに、オンライン状態で電源供給を容易に変更することができる。

【0186】なお、上記実施の形態16では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0187】また、上記実施の形態16は、構成制御バス16としてIEEEStd. 1149.1(JTAG)準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0188】実施の形態17. 本実施の形態は、図13に示す情報処理装置の構成制御方式に適用させることができるので、図13を用いて説明する。システムバス12には、CPUボード1、2、メモリボード3、バスブリッジボード4が接続され、I/Oバス13には、バスブリッジボード4とI/O制御ボード5、6が接続されている。SCSIバス14、15には、それぞれディスクユニット8、9が接続され、構成制御バス16には、CPUボード1、2、メモリボード3、バスブリッジボード4、I/O制御ボード5、6、構成制御ボード7、ディスクユニット8、9、電源ユニット10が接続されている。

【0189】図27は図13に示すディスクユニットの構成を示すブロック図である。図27において、図16と同一符号は同一または相当部分を示し、73はディスク接続スイッチ、74はID番号設定回路である。本実施の形態も、構成制御バス16としてIEEEStd. 1149.1(JTAG)準拠のシリアルバスを使用し、不揮発性メモリ26としてEEPROMを使用して構成する場合を例示して説明する。

【0190】ソフトウェアがI/O制御ボード5経由でディスクユニット8内のディスクドライブ45をアクセスしている場合に、このI/O制御ボード5が故障した場合について説明する。I/O制御ボード5が故障すると、構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット内のディスク接続スイッチ73を選択し、ディスクドライブ45の接続をSCSIバス14からSCSIバス15に切り替え、I/O制御ボード6経由で当該ディスクド

ライブ45へのアクセスを行う。これによってディスクドライブ45へのアクセスをI/O制御ボード5の故障にも関わらず継続することができるとともに、故障したI/O制御ボード5は、オンラインで交換することができる。

【0191】コンソールの指示に従って、当該のI/O制御ボード5を抜き出し、新たにI/O制御ボードを挿入する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、I/O制御ボード内のスキャンブリッジ25経由でEEPROMからなる不揮発性メモリ26を選択し、ボードの種類などの情報を読み取り、正しいボードが挿入されたかを確認する。構成制御ボード7は、再度JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット8内のディスク接続スイッチ73を選択し、ディスクドライブ45の接続をSCSIバス15からSCSIバス14に切り替え、I/O制御ボード5経由で当該ディスクドライブ45へのアクセスを行う。

【0192】次に、図13に示すシステムにディスクユニット8をオンライン交換する場合について説明する。コンソールの指示に従ってディスクユニットを実装する。構成制御ボード7は、JTAGバスからなる構成制御バス16のプロトコルに従って、ディスクユニット内のスキャンブリッジ25を経由してEEPROMからなる不揮発性メモリ26を選択し、ディスクユニットの種類などの情報を読み取り、正しいディスクユニットが挿入されたことを確認する。

【0193】構成制御ボード7は、同様にしてディスク接続スイッチ73を選択し、SCSIバス14への接続を行う。また、構成制御ボード7は、同様にしてID番号設定回路74を選択し、そのバスにおけるID番号の設定を行い、さらにディスクドライブへの電源供給を開始する。各ディスクユニットで設定されるID番号は、同じ構成制御バスであるJTAG準拠のシリアルバスを経由して読み込みでき、重複しないID番号が設定される。

【0194】このように、本実施の形態では、ディスクユニット8、9を2系統のSCSIバス14、15に接続し、JTAGバスからなる構成制御バス16を経由してディスクドライブ45をどちらのSCSIバスに接続するかを設定するように構成したため、I/O制御ボード5、6が故障してもディスクドライブ45へのアクセスを継続することができる。また、JTAGバスからなる構成制御バス16を経由してSCSIバス14、15上のID番号を設定するように構成したため、ディスクユニット8、9のオンライン増設時にID番号の重複を避けることができる。

【0195】なお、上記実施の形態17では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成したが、本発明はこれの

みに限定されるものではなく、不揮発性メモリ 26 をバッテリーバックアップされた S R A M などでも構成しても実現することができる。

【0196】また上記実施の形態 17 では、構成制御バス 16 として I E E E S t d . 1149.1 (J T A G) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス 16 を I² C 等のシリアルバスやパラレルバスで構成しても実現することができる。

【0197】実施の形態 18. 本実施の形態は、図 13 に示す情報処理装置の構成制御方式に適用させることができるので、図 13 を用いて説明する。システムバス 12 には、CPU ボード 1、2、メモリボード 3、バスブリッジボード 4 が接続され、I/O バス 13 には、バスブリッジボード 4 と I/O 制御ボード 5~6 が接続されている。S C S I バス 14、15 には、それぞれディスクユニット 8、9 が接続され、構成制御バス 16 には、CPU ボード 1、2、メモリボード 3、バスブリッジボード 4、I/O 制御ボード 5、6、構成制御ボード 7、ディスクユニット 8、9、電源ユニット 10 が接続されている。

【0198】図 28 は図 13 に示すディスクユニットの構成を示すブロック図である。図 28 において、図 27 と同一符号は同一または相当部分を示し、75 はディスクドライブである。本実施の形態も、構成制御バス 16 として I E E E S t d . 1149.1 (J T A G) 準拠のシリアルバスを使用し、不揮発性メモリ 26 として E P R O M を使用して構成した場合を例示して説明する。

【0199】ディスク接続スイッチ 73 内がストレート接続 (73 a が ON、73 b が OFF、73 c が OFF、73 d が ON) にてディスクドライブ 45、75 が接続されたディスクユニット 8 をアクセスしている I/O 制御ボード 5 に障害が発生した場合の動作について説明する。まず、構成制御ボード 7 は、J T A G バスからなる構成制御バス 16 のプロトコルに従って、当該のディスクユニット 8 のスキャンブリッジ 25 を経由してディスク接続スイッチ 73 を選択し、73 a を OFF することによってディスクドライブ 45 への接続を遮断する。

【0200】次に、構成制御ボード 7 は、同様にして J T A G バスからなる構成制御バス 16 経由で当該のディスクユニット 8 が接続された S C S I バス 14 とは他方の S C S I バス 15 上の他のディスクユニット 9 内の I D 番号設定回路 74 を選択し、設定されている I D 番号を読み取り、同様にして重複しない I D 番号を J T A G バスからなる構成制御バス 16 経由でディスクユニット 8 内の I D 番号設定回路 74 に設定する。

【0201】さらに、構成制御ボード 7 は、同様にして J T A G バスからなる構成制御バス 16 経由で当該のデ

ィスクユニット 8 内のディスク接続スイッチ 73 を選択し、ディスク接続スイッチの設定を従系ペア接続 (73 a が OFF、73 b が ON、73 c が OFF、73 d が ON) に変更する。これによって他方の S C S I バス 15 を制御する I/O 制御ボード 6 から当該ディスクユニット 8 の動作を再開することができる。

【0202】また、図 11 のシステムにおいて、ディスクユニット 8 をオンライン交換する場合を例に説明する。まず、構成制御ボード 7 は、J T A G バスからなる構成制御バス 16 のプロトコルに従って、当該のディスクユニット 8 のスキャンブリッジ 25 を経由してディスク接続スイッチ 73 を選択し、設定値を読み取る。さらに、構成制御ボード 7 は、同様にして I D 設定回路 74 を選択し、I D 番号を読み取る。また、同様にしてディスクドライブへの接続を遮断する。また、同様にして I D 設定回路を選択し、I D 番号を読み取る。

【0203】次に、コンソールの指示に従って、当該ディスクユニット 8 を抜き出し、新たなディスクユニット 8 を挿入する。構成制御ボード 7 は、J T A G バスからなる構成制御バス 16 のプロトコルに従って、当該のディスクユニット 8 のスキャンブリッジ 25 を経由してディスク接続スイッチ 73 を選択し、I D 設定回路 74 を選択し、以前の設定値を設定する。さらに、構成制御ボード 7 は、同様にして J T A G バスからなる構成制御バス 16 のプロトコルに従って、当該のディスクユニット 8 のスキャンブリッジ 25 を経由して電源制御回路 39 を選択し、ディスクドライブ 45、73 への電源供給を開始する。

【0204】また、図 11 のシステムにおいて、ディスクユニットをオンライン増設する場合を例に図 7 を用いて説明する。まず、コンソールの指示に従って、新たにディスクユニット 38 を挿入する。構成制御ボード 7 は、J T A G バスからなる構成制御バス 16 のプロトコルに従って、当該のディスクユニットのスキャンブリッジ 25 を経由して E E P R O M からなる不揮発性メモリ 26 を選択し、ディスクユニット 38 の情報を読み取り、正しいディスクユニットが挿入されたことを確認する。

【0205】次に、構成制御ボード 7 は、同様にして当該のディスクユニット 38 が接続する S C S I バス上のディスクユニットの I D 設定回路 74 を選択し、設定されている I D 番号を読み取り、同様にして重複をしない I D 番号を J T A G バスからなる構成制御バス 16 経由でディスクユニット 38 内の I D 設定回路 74 に設定する。

【0206】このように、本実施の形態では、J T A G バスからなる構成制御バス 16 経由でディスクユニット 8、9 内のディスクドライブ 45、75 の接続を変更するように構成したため、I/O 制御ボード 5、6 が故障してもディスクドライブ 45、75 へのアクセスを継続

することができる。

【0207】なお、上記実施の形態18では、製造番号などの個別情報を格納するための不揮発メモリ26としてEEPROMを使用して構成したが、本発明はこれのみに限定されるものではなく、不揮発性メモリ26をバッテリーバックアップされたSRAMなどで構成しても実現することができる。

【0208】また、上記実施の形態は、構成制御バス16としてIEEE Std. 1149.1 (JTAG) 準拠のシリアルバスを使用して構成したが、本発明はこれのみに限定されるものではなく、構成制御バス16をI²C等のシリアルバスやパラレルバスで構成しても実現することができる。

【0209】

【発明の効果】本発明は、各ボードや各ディスクユニットに製造番号などの個別情報を保存するためのEEPROMなどの不揮発性メモリを実装し、構成制御ボードが構成制御バスを経由して各ボードと各ディスクユニットの実装状態、個別情報をモニタできるように構成したので、ネットワーク接続されたリモート端末などからシステム内のボードやディスクユニットの実装状態、個別情報をモニタすることができるという効果がある。

【0210】また、各ボードや各ディスクユニットに環境温度をセンサするための手段を備え、構成制御ボードが構成制御バスを経由して各ボードと各ディスクユニットの温度をモニタできるように構成したので、ネットワーク接続されたリモート端末などからシステム内のボードやディスクユニットの環境温度をモニタすることができるという効果がある。

【0211】また、各ボードや各ディスクユニットに電圧をモニタするための手段を備え、構成制御ボードが構成制御バスを経由して各ボードと各ディスクユニットの電圧をモニタできるように構成したので、ネットワーク接続されたリモート端末などからシステム内のボードやディスクユニットに供給される電源電圧をモニタすることができるという効果がある。

【0212】また、各ボード内のリセット回路を上位と下位の2つのレベルに分け、上位のレベルをシステムレベルで制御し、下位のレベルを構成制御ボードが構成制御バスを経由して個別に制御できるように構成したので、ボードのオンライン交換/増設時にボード個別にリセット制御を行い、誤ったカードを挿入した場合にシステム全体に悪影響を及ぼすことを防ぐことができるという効果がある。

【0213】また、各ボードと各ディスクユニット内の電源ブレーンを2つのレベルに分け、上位のレベルの供給をシステムレベルで制御し、下位のレベルの供給を構成制御ボードが構成制御バスを経由して制御できるように構成したので、ボードのオンライン交換/増設時にボード個別に電源制御を行い、誤ったカードを挿入した場

合にシステム全体に悪影響を及ぼすことを防ぐことができるという効果がある。

【0214】また、各ディスクユニット内に振動や衝撃を検知する手段とその検知結果を格納するためのEEPROMなどの不揮発性メモリを実装し、構成制御ボードが構成制御バスを経由して各ディスクユニットの振動や衝撃の検知結果をモニタできるように構成したので、許容範囲を越えた振動や衝撃を受けたことをリモートからモニタすることができるという効果がある。

【0215】また、各ディスクユニット内の振動や衝撃を検知する手段とその結果を表示するLEDなどの表示手段を備え、ディスクドライブの許容振動値や許容衝撃値を越えた場合にLEDを点灯するように構成したので、許容範囲を越えた振動や衝撃を受けたことを知ることができるという効果がある。

【0216】また、各ディスクユニット内に振動や衝撃を検知する手段、その結果を格納するためのEEPROMなどの不揮発性メモリとそれらに電源を供給するためのバッテリーを備え、動作時、待機時と非実装時を問わず振動や衝撃の検知とその検知結果のEEPROMなどの不揮発性メモリへの格納を行い、構成制御ボードが構成制御バスを経由して各ディスクユニットの振動や衝撃の検知結果をモニタできるように構成したので、動作時、待機時と非実装時を問わず許容範囲を越えた振動や衝撃を受けたことをリモートからモニタすることができるという効果がある。

【0217】また、各ディスクユニット内に振動や衝撃を検知する手段、その結果を表示するLEDなどの表示手段とそれらに電源を供給するためのバッテリーを備え、動作時、待機時と非実装時に振動や衝撃の検知を行い、ディスクドライブの許容振動値や許容衝撃値を越えた場合にLEDを点灯するように構成したので、許容範囲を越えた振動や衝撃を受けたことを知ることができるという効果がある。

【0218】また、各ディスクユニット内にディスクドライブの排他制御を行うための手段を備え、構成制御ボードが構成制御バスを経由してディスクドライブの排他制御を行うことができるという効果がある。

【0219】また、各ディスクユニット内に接続されるバスの終端を行うための手段を備え、構成制御ボードが構成制御バスを経由してバスの終端を行うことができるという効果がある。

【0220】また、各ディスクユニット内に接続されるバスの終端を行うための手段を備え、実装位置と他のディスクユニットの実装状態をもとにしてバスの終端を行うことができるという効果がある。

【0221】また、各ボード内に初期設定などを格納する手段を備え、構成制御ボードが構成制御バスを経由して設定できるという効果がある。

【0222】また、ボード上にECCエラーなどを検出

10

20

30

40

50

する手段を備え、構成制御ボードが構成制御バスを経由して ECC 1 ビットエラー訂正などの情報をモニタし、ボードの故障予測を行うことができるという効果がある。

【0223】また、各電源ユニットに製造番号などの個別情報を保存するための EEPROM などの不揮発性メモリを実装し、構成制御ボードが構成制御バスを経由して各電源ユニットの実装状態、個別情報をモニタできるという効果がある。

【0224】また、各電源ユニット内に環境温度をモニタするための手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニット内の環境温度をモニタできるという効果がある。

【0225】また、各電源ユニットに出力電圧をモニタするための手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの電圧をモニタできるという効果がある。

【0226】また、各電源ユニットに製造番号などの個別情報を保存するための手段、温度や電圧をモニタするための手段、前記手段に電源を供給するためのバッテリーを備え、構成制御ボードが構成制御バスを経由して各電源ユニットの実装状態、個別情報、温度や電圧を当該電源が故障していてもモニタできるという効果がある。

【0227】また、各電源ユニットに出力を制御するための手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの出力を制御できるという効果がある。

【0228】また、各電源ユニットに出力電圧を切り替える手段を備え、電源ユニットの実装位置に応じて定められた電圧を出力できるという効果がある。

【0229】また、各電源ユニットに出力電圧を切り替える手段を備え、構成制御ボードが構成制御バスを経由して各電源ユニットの出力電圧を切り替えることができるという効果がある。

【0230】また、ディスクユニット内のディスク接続機構の設定を、構成制御ボードが構成制御バスを経由して行えるように構成したので、ネットワーク接続されたリモート端末などから設定できるという効果がある。

【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 2】 図 1 に示すボードとディスクユニットの構成を示すブロック図である。

【図 3】 図 2 に示す不揮発性メモリの内容を示す図である。

【図 4】 本発明に係る実施の形態 2 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 5】 図 4 に示すボードの構成を示すブロック図である。

【図 6】 図 4 に示すボード及びディスクユニットの所

要電力と電源ユニットの供給電力を示す図である。

【図 7】 本発明に係る実施の形態 3 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 8】 図 7 に示すボードとディスクユニットの構成を示すブロック図である。

【図 9】 本発明に係る実施の形態 4 の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。

【図 10】 本発明に係る実施の形態 5 の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。

【図 11】 本発明に係る実施の形態 6 の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。

【図 12】 本発明に係る実施の形態 7 の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。

【図 13】 本発明に係る実施の形態 8 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 14】 図 13 に示すディスクユニットの構成を示すブロック図である。

【図 15】 本発明に係る実施の形態 9 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 16】 図 15 に示すディスクユニットの構成を示すブロック図である。

【図 17】 本発明に係る実施の形態 10 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 18】 図 17 に示すディスクユニットの構成を示すブロック図である。

【図 19】 図 17 に示す情報処理装置の構成制御方式におけるディスクバックボードの結線を示す図である。

【図 20】 本発明に係る実施の形態 11 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 21】 図 20 に示す CPU ボードの構成を示すブロック図である。

【図 22】 本発明に係る実施の形態 12 の情報処理装置の構成制御方式における CPU ボードの構成を示すブロック図である。

【図 23】 本発明に係る実施の形態 13 の情報処理装置の構成制御方式の構成を示すブロック図である。

【図 24】 図 23 に示す電源ユニットの構成を示すブロック図である。

【図 25】 本発明に係る実施の形態 15 の情報処理装置の構成制御方式における電源ユニットおよび電源バックボードの構成を示すブロック図である。

【図 26】 本発明に係る実施の形態 16 の情報処理装置の構成制御方式における電源ユニットの構成を示すブロック図である。

【図 27】 本発明に係る実施の形態 17 の情報処理装置の構成制御方式におけるディスクユニットの構成を示す

47

すブロック図である。

【図28】 本発明に係る実施の形態18の情報処理装置の構成制御方式におけるディスクユニットの構成を示すブロック図である。

【図29】 従来の実装入出力カードの認識処理方法の原理フローを示すフローチャートである。

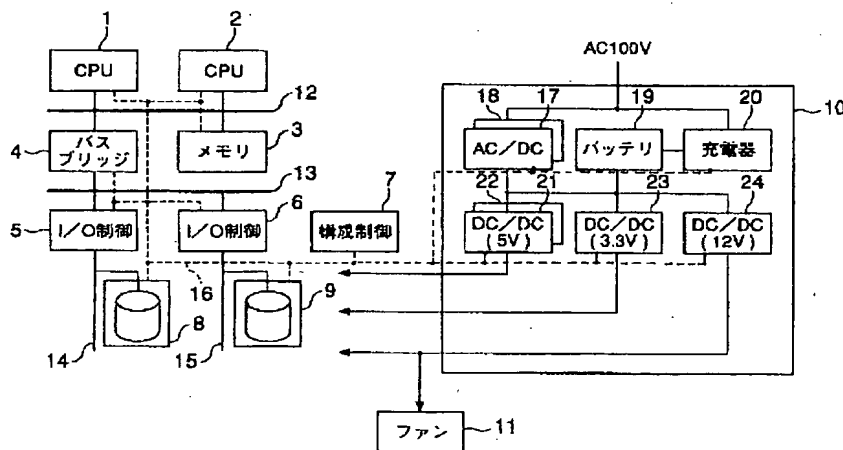
【図30】 図29に示す実装入出力カードの認識処理方法を実施するためのシステム構成を示すブロック図である。

【図31】 従来のカードアドレス用ビットスイッチの10設定内容を示す図である。

【符号の説明】

1, 2, 33 CPUボード、3, 34 メモリボード、4 バスブリッジボード、5, 6 I/O制御ボード、7 構成制御ボード、8, 9, 38, 53~56 ディスクユニット、10 電源ユニット、11 ファンユニット、12システムバス、13 I/Oバス、14, 15 SCSIバス、16 構成制御バス、17, 18 AC/DCユニット、19 バッテリーユニット、20 充電器ユニット、21, 22, 35 DC/DC 20

【図1】



【図3】

項目	内容
1 種類	CPU、メモリなど
2 製造番号	1 2 3 4 5 6 - 7 8 9
3 所要電圧1	ボードまたはユニットに必要な電圧1 (V)
4 所要電流1	ボードまたはユニットに必要な電流1 (A)
5 所要電圧2	ボードまたはユニットに必要な電圧2 (V)
6 所要電流2	ボードまたはユニットに必要な電流2 (A)
7 所要電圧3	ボードまたはユニットに必要な電圧3 (V)
8 所要電流3	ボードまたはユニットに必要な電流3 (A)
9 所要電圧4	ボードまたはユニットに必要な電圧4 (V)
10 所要電流4	ボードまたはユニットに必要な電流4 (A)
11 組立/試験日	****年%月#日
12 修理日	****年%月#日
13 修理内容	###故障により***に交換

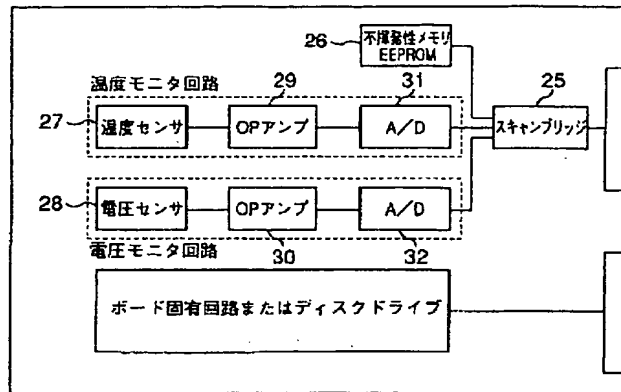
48

(5V) ユニット、23, 36 DC/DC (3.3 V) ユニット、24 DC/DC (12V) ユニット、25 スキャンブリッジ、26 不揮発性メモリ、27 温度センサ、28 電圧センサ、29, 30, 41 OP アンプ、31, 32, 43 A/Dコンバータ、37 リセット制御回路、39 電源制御回路、40 振動/衝撃センサ、42 比較器、44 EEPROM書き込み制御回路、45, 75 ディスクドライブ、46 LED表示回路、47 LED、48 許容レベル設定回路、49 バッテリ、50 切り替えスイッチ、51 デュアルポート回路、52 ビジー回路、57 バス終端制御回路、58 バス終端回路、59~62 プロセッサ、63 マルチプロセッサ制御LSI、64 キャッシュメモリ、65 バス制御LSI、66 外部レジスタ、67 エラー状態格納レジスタ、68 出力制御回路、69 AC/DCコンバータまたはDC/DCコンバータ、70 逆流防止用ダイオード、71 電圧制御回路、72 出力電圧選択回路、73 ディスク接続スイッチ、74 ID番号設定回路。

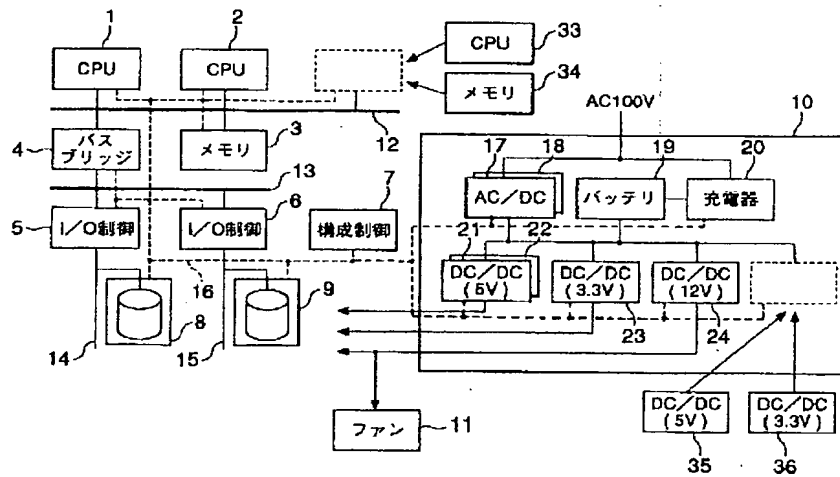
【図6】

種類	所要電圧1 (5V)	所要電圧2 (3.3V)	所要電圧3 (12V)
CPUボード	150W	100W	—
メモリボード	40W	5W	—
バスブリッジボード	20W	15W	—
I/O制御ボード	20W	—	10W
構成制御ボード	5W	—	—
ディスクユニット	5W	—	15W
ファンユニット	—	—	60W
DC/DC (5V)	200W	—	—
DC/DC (3.3V)	—	200W	—
DC/DC (12V)	—	—	200W

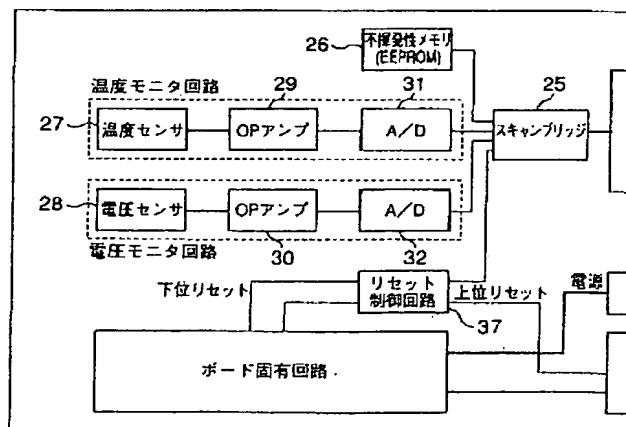
【図 2】



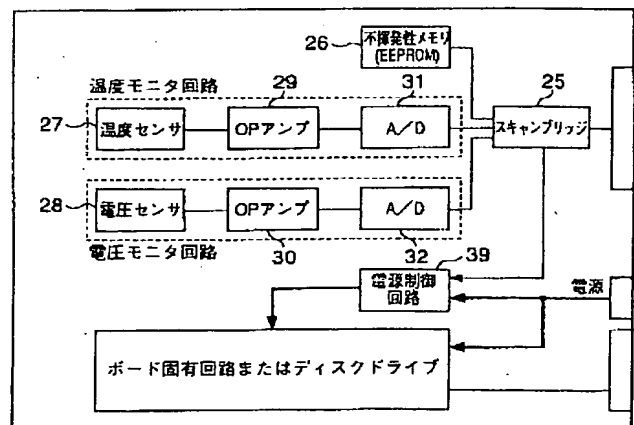
【図 4】



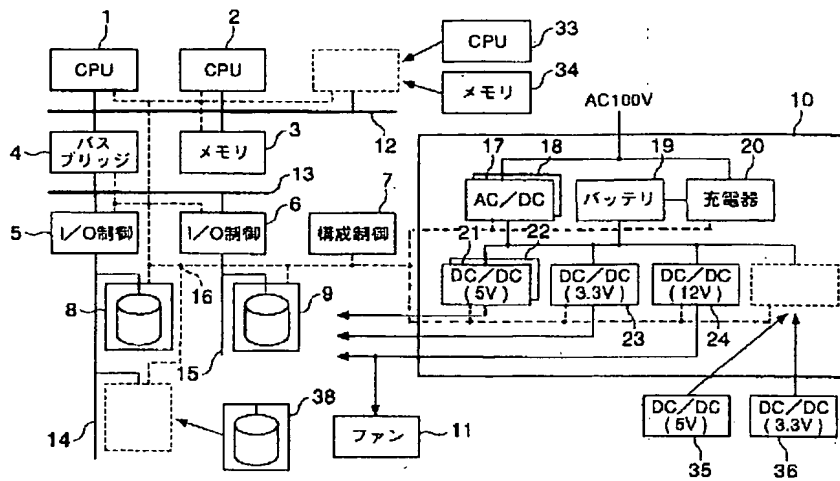
【図 5】



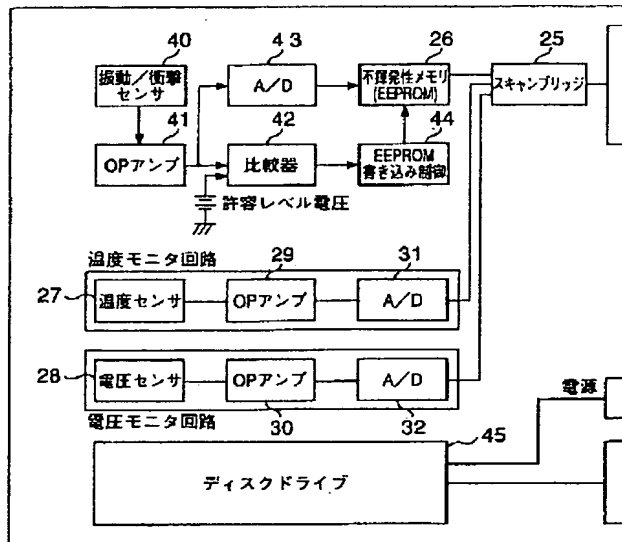
【図 8】



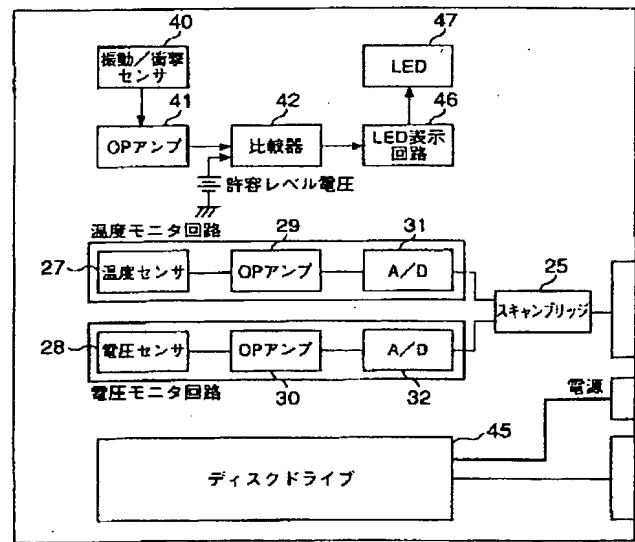
【図7】



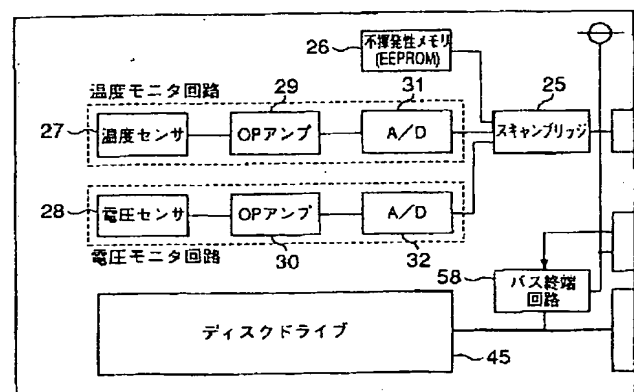
【図9】



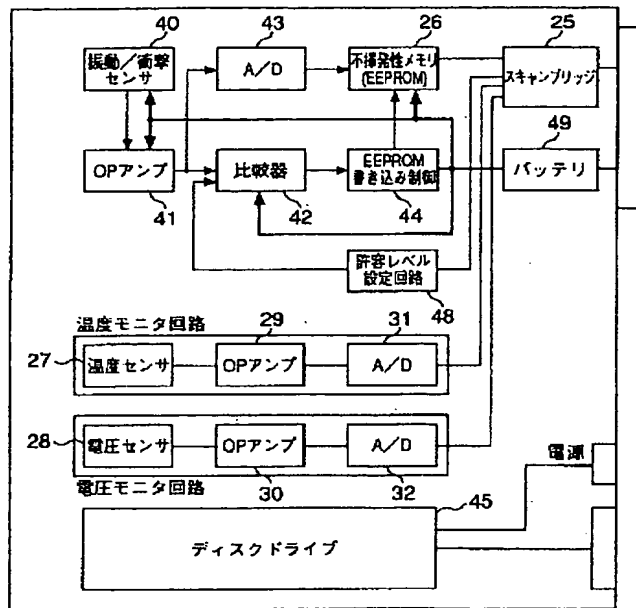
【図10】



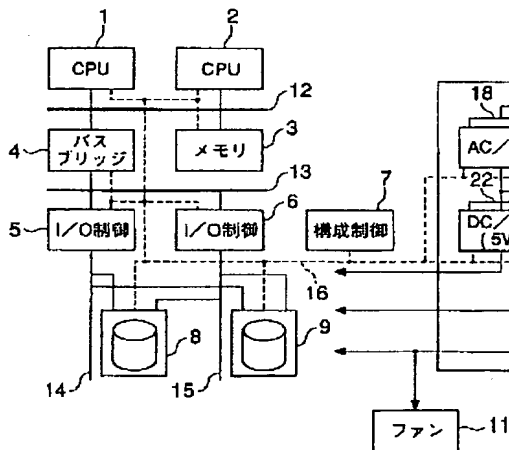
【図18】



【図11】

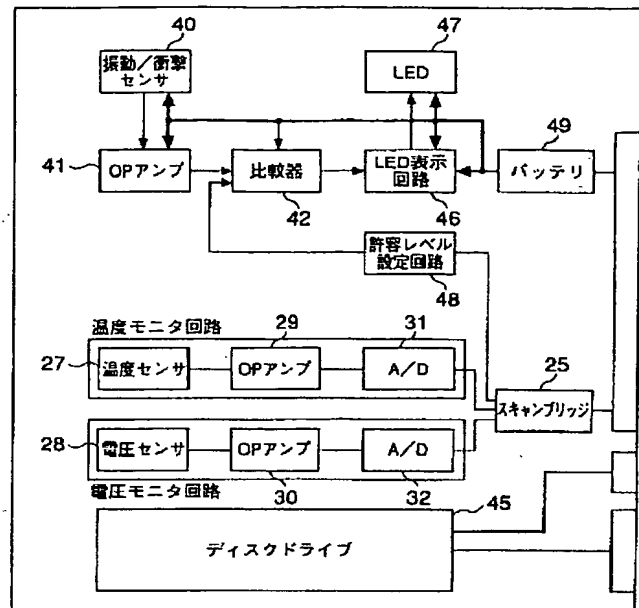


【図13】

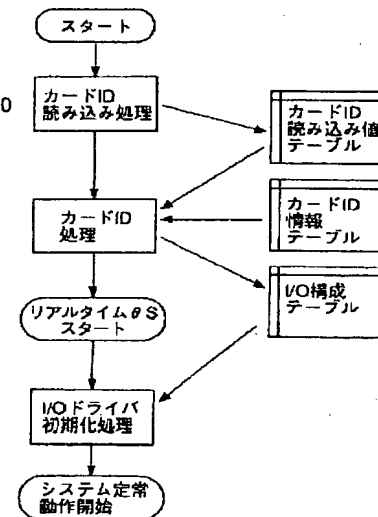


【図30】

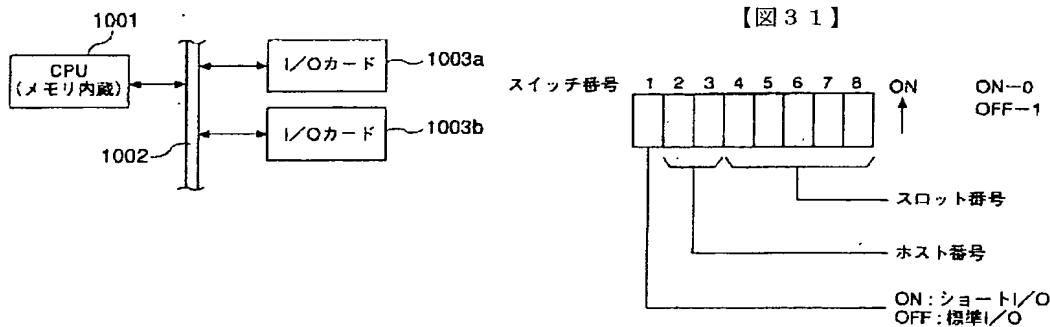
【図12】



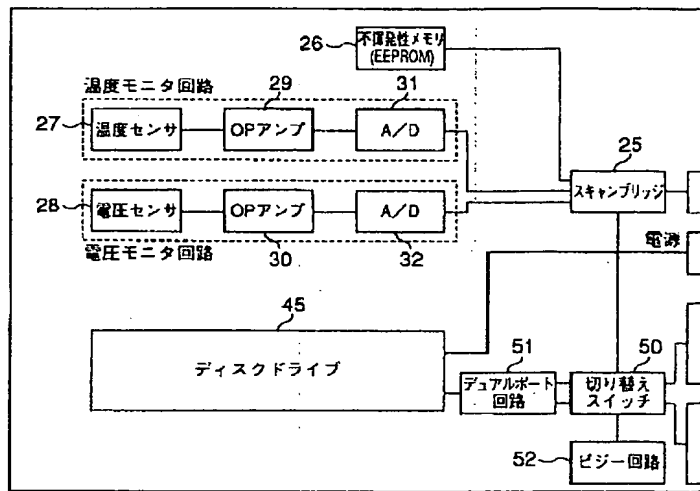
【図29】



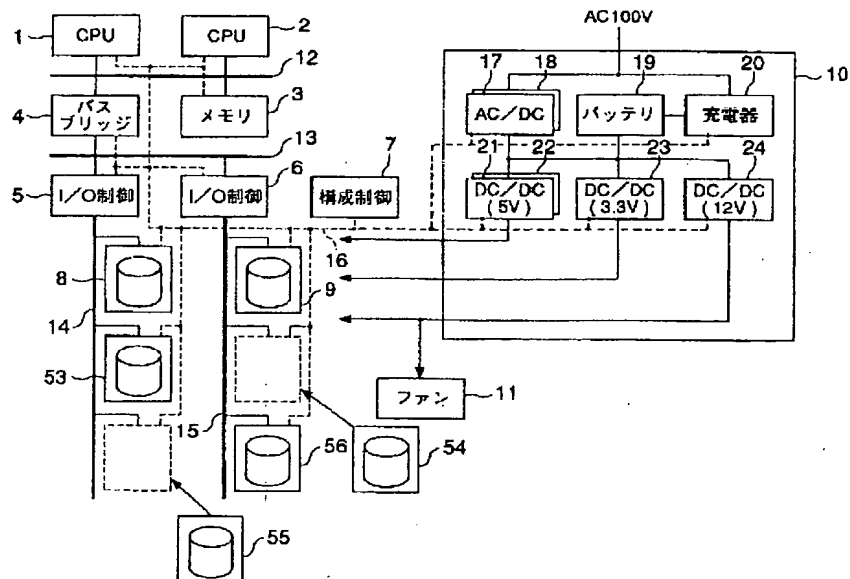
【図31】



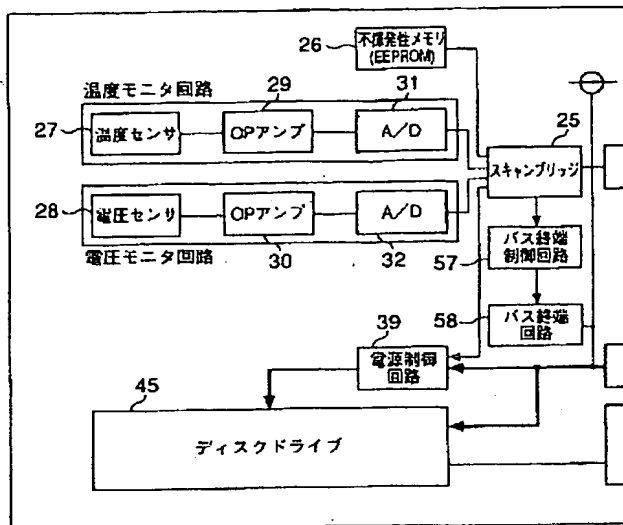
【図14】



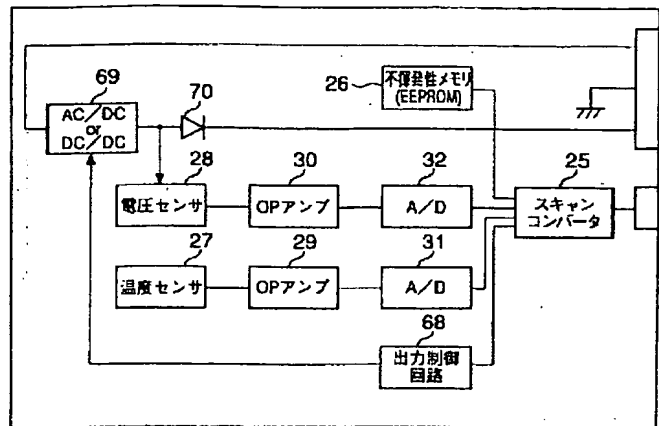
【図15】



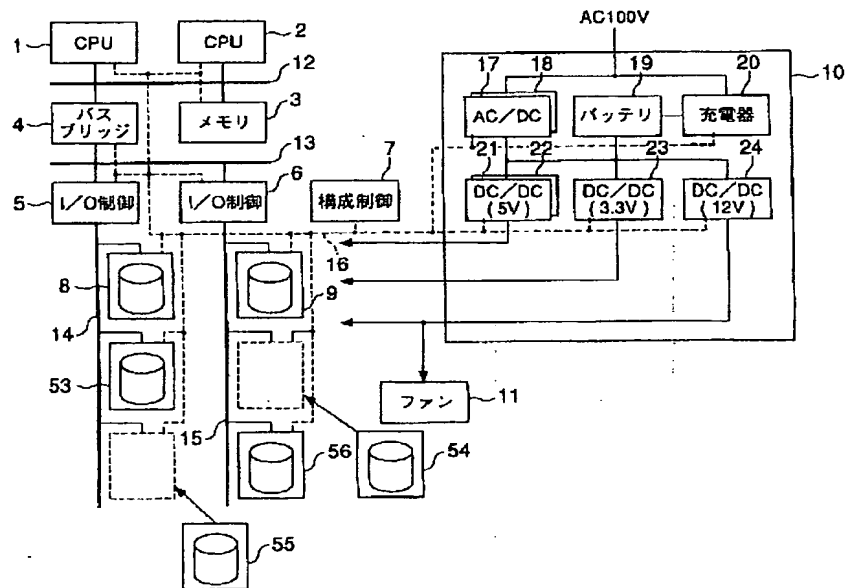
【図 16】



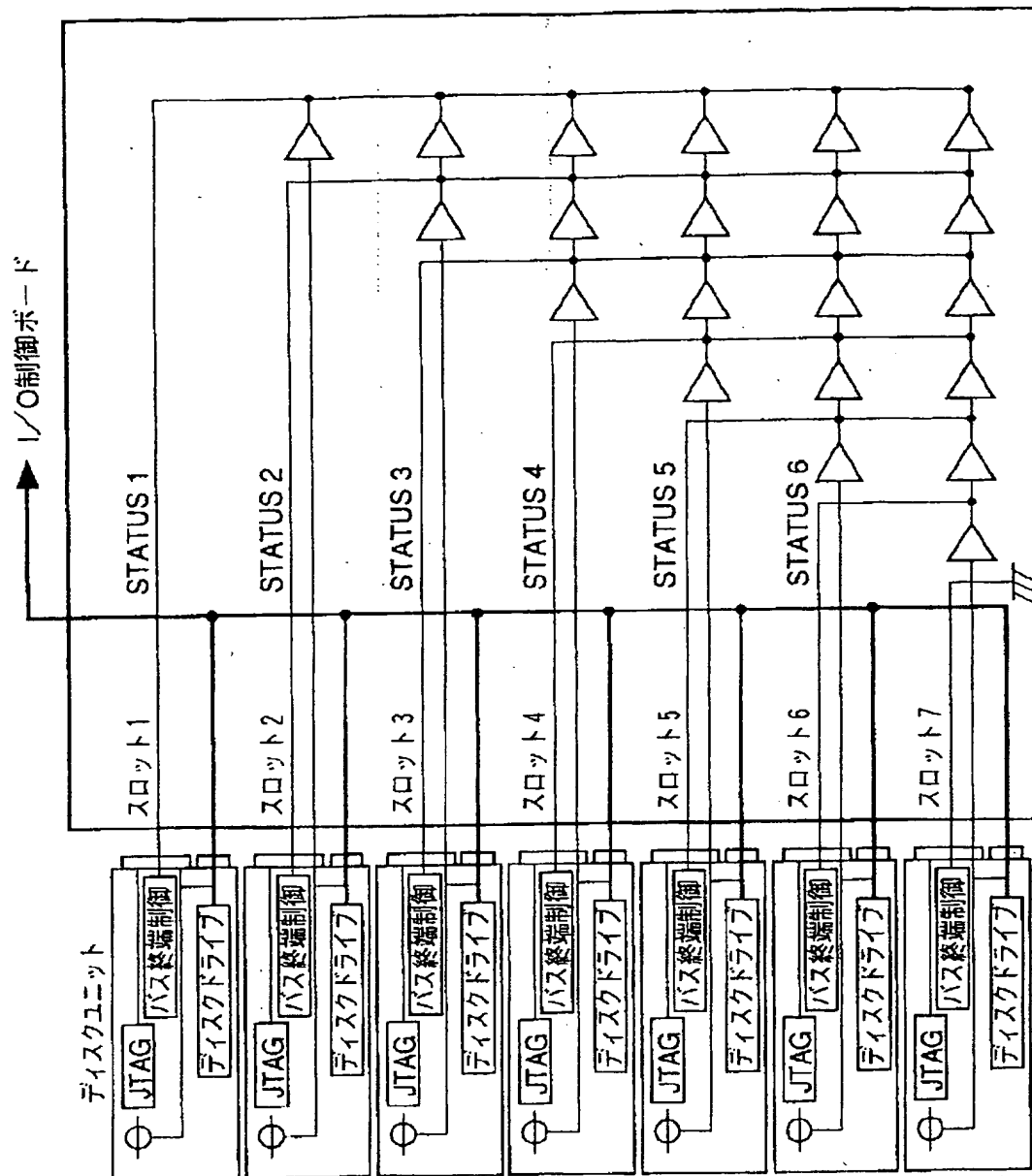
【図 24】



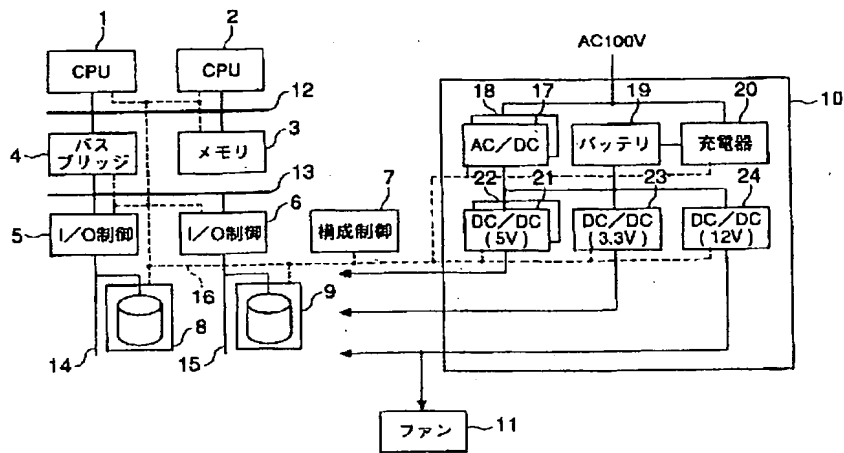
【図 17】



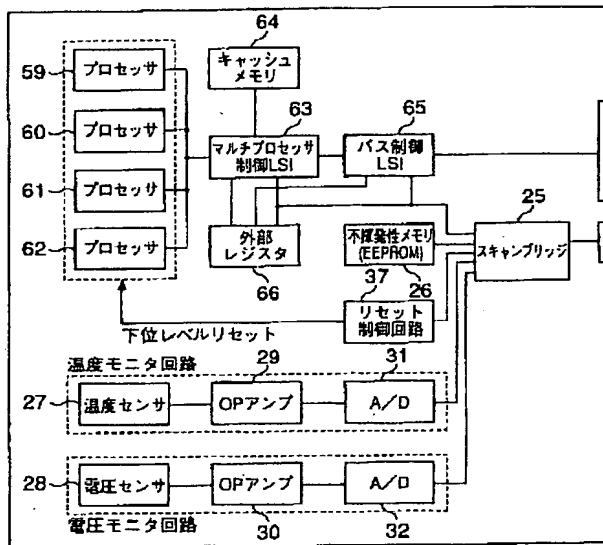
【図 19】



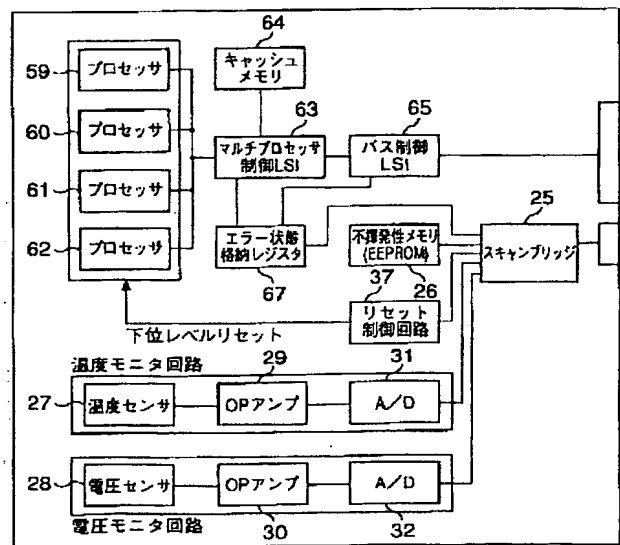
【図20】



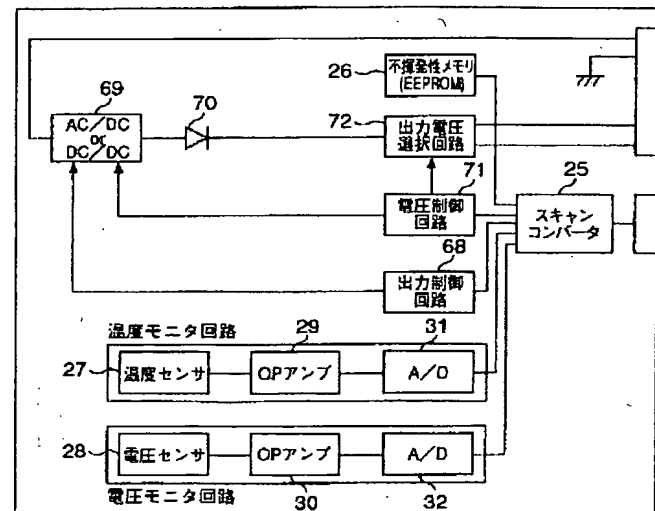
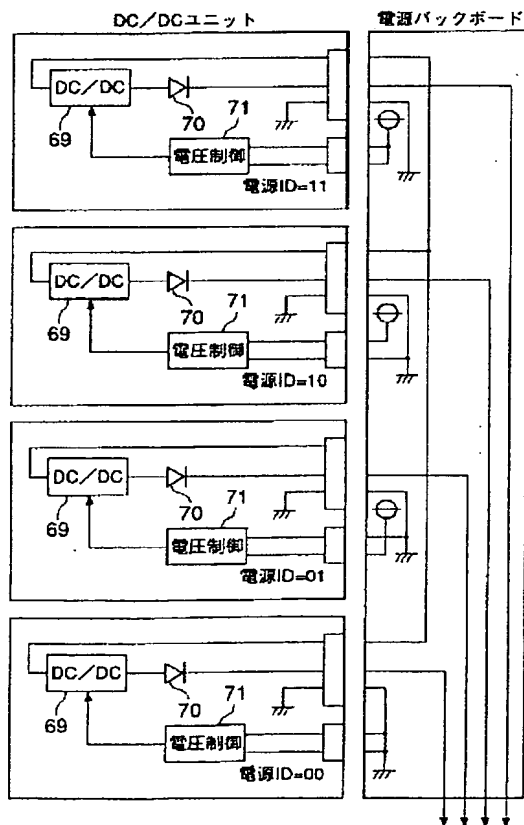
【図21】



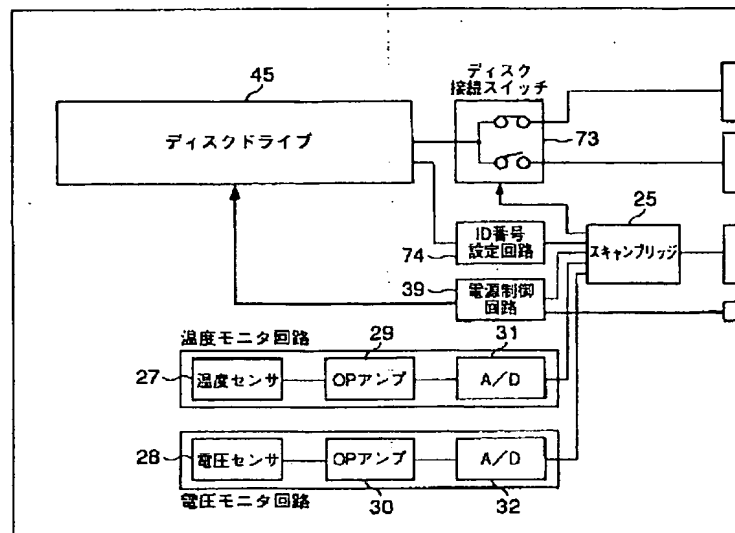
【図22】



【図 2 6】



【図 27】



【図 28】

